

Ανάπτυξη μικροηλεκτρονικών κυκλωμάτων για τον ανιχνευτή Preshower του πειράματος CMS στο CERN

Τμήμα Φυσικής Πανεπιστημίου Ιωαννίνων
21^η Απριλίου, 2004

Κώστας Κλουκίνας
CERN



Εισαγωγή



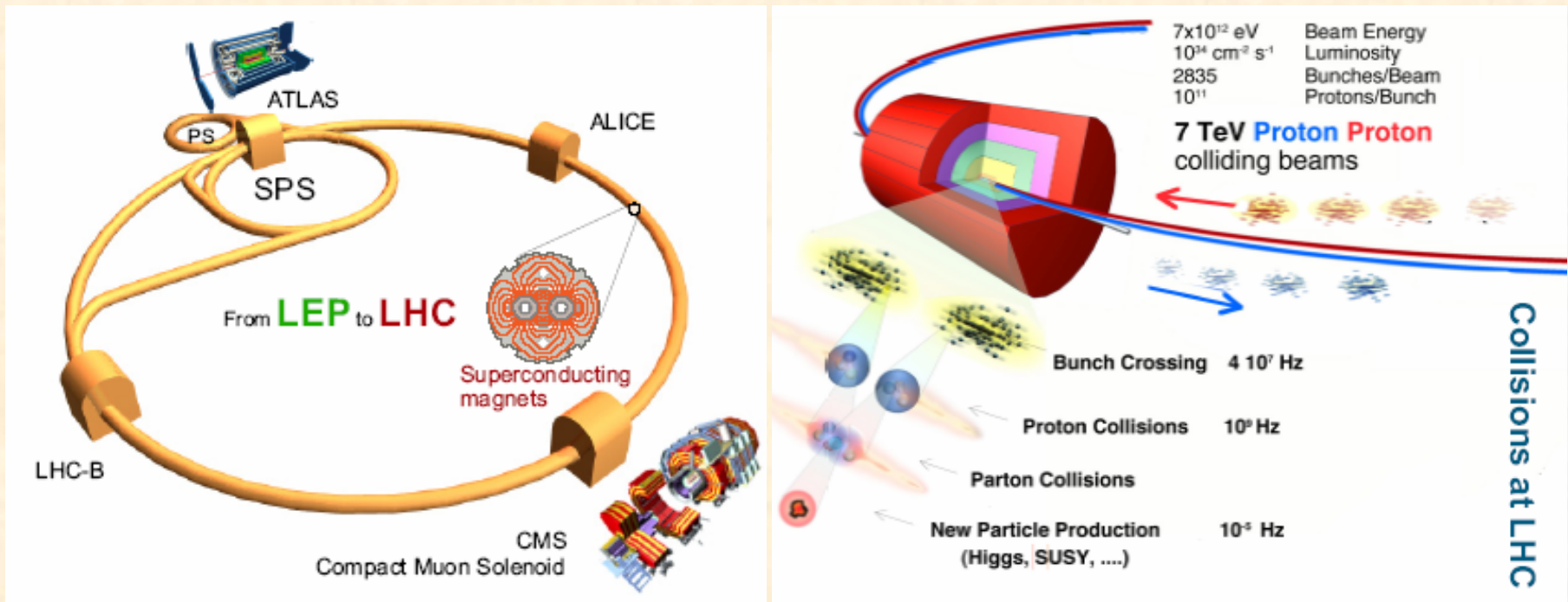
- Το πείραμα CMS του επιταχυντή LHC και ο ανιχνευτής Preshower.
- Το σύστημα λήψης δεδομένων του ανιχνευτή Preshower.
- Τα μικροηλεκτρονικά κυκλώματα του ανιχνευτή Preshower.

- Διεθνές εργαστήριο ιδρυθέν το 1954.
- Σκοπός του η βασική έρευνα στον πεδίο της Φυσικής Στοιχειωδών Σωματίων.
- 19 χώρες μέλη + χώρες μέλη παρατηρητές.
- Περισσότερα από τα μισά πειράματα Φυσικής Στοιχειωδών Σωματίων παγκοσμίως λαμβάνουν χώρα στο CERN.

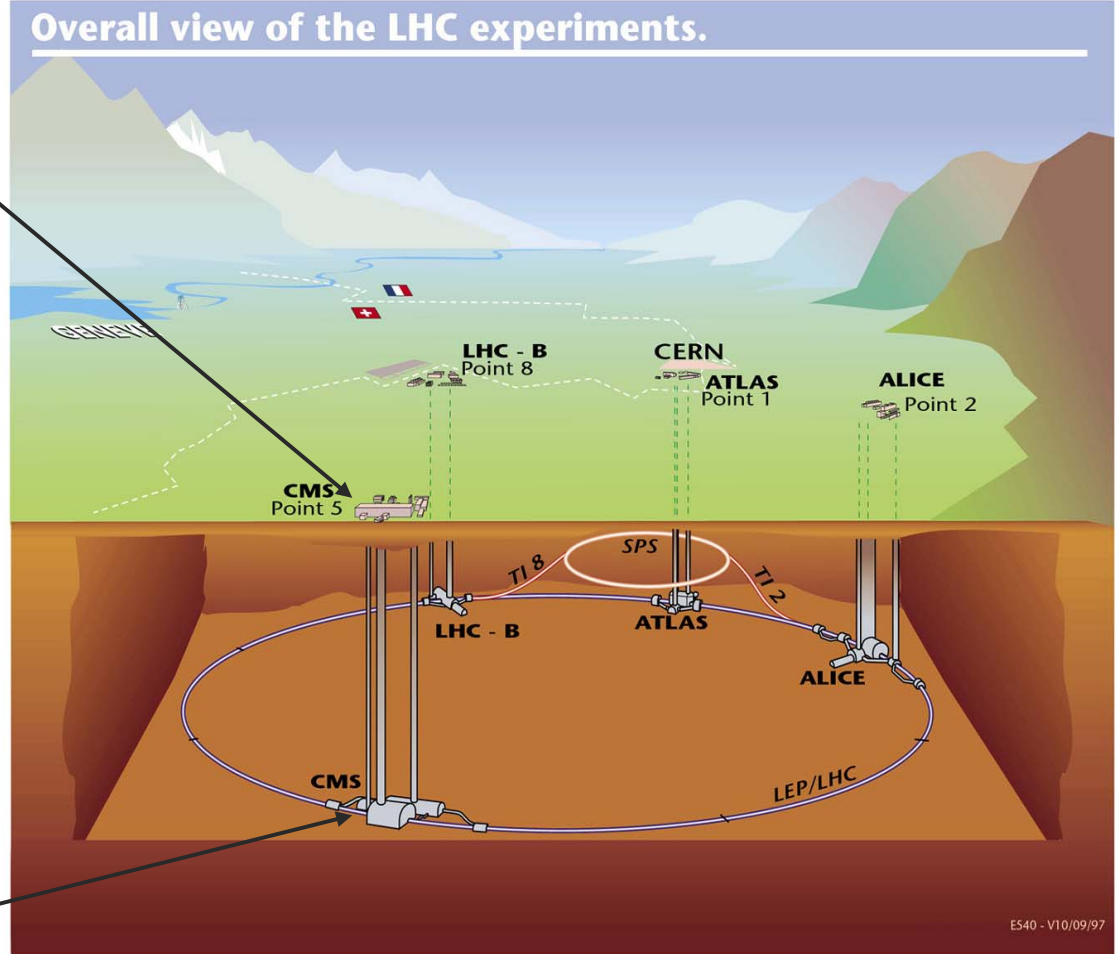


Ο Επιταχυντής LHC

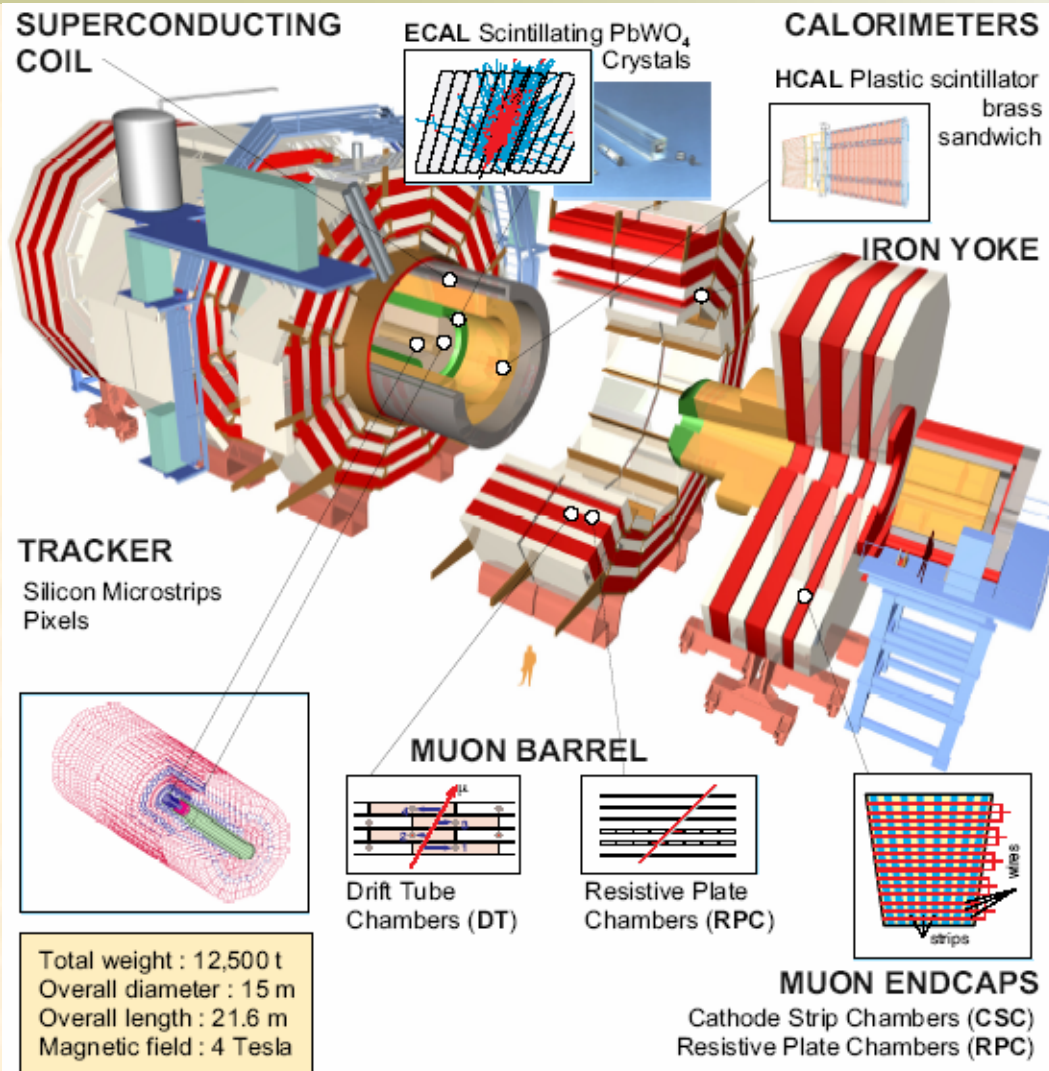
- The Large Hadron Collider LHC
- Ο μεγάλος επιταχυντής αδρονίων



Ο Επιταχυντής LHC



Το πείραμα CMS



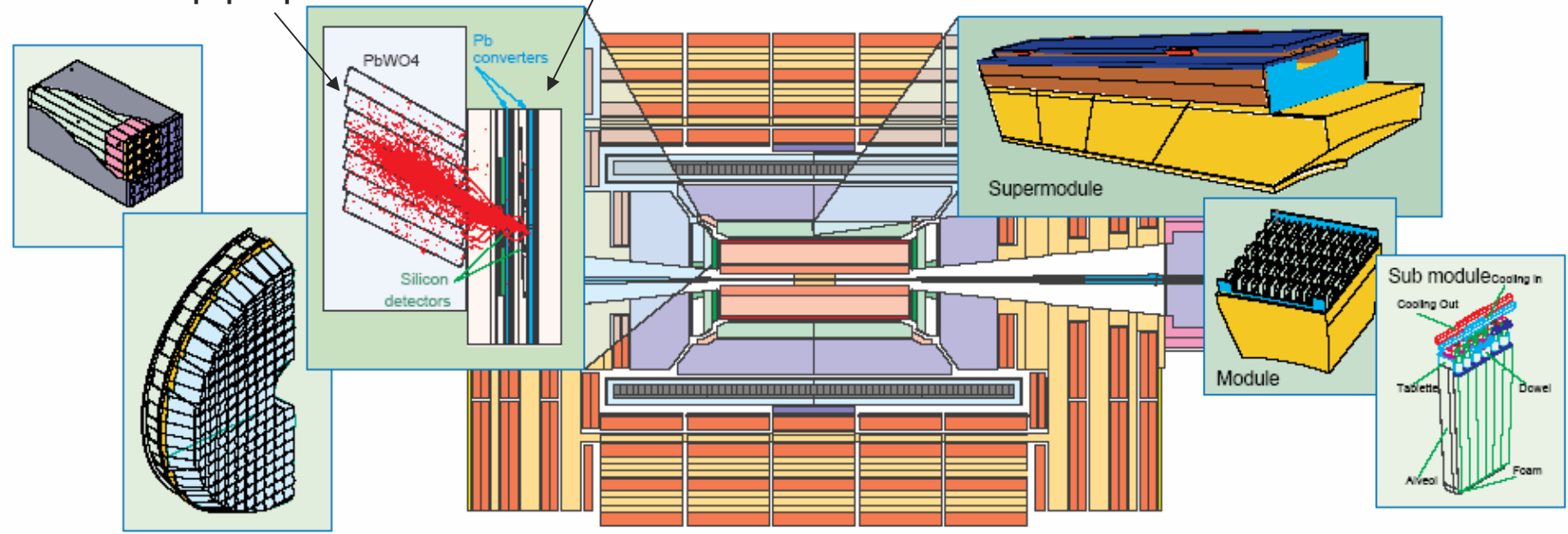
- Τα διαφορετικά στρώματα των ανιχνευτών του πειράματος CMS.
- Ταυτοποίηση των παραγόμενων σωματιδίων και μέτρηση της ενέργειας ή της ορμής τους.

Το Ηλεκτρομαγνητικό Καλορίμετρο και ο ανιχνευτής Preshower

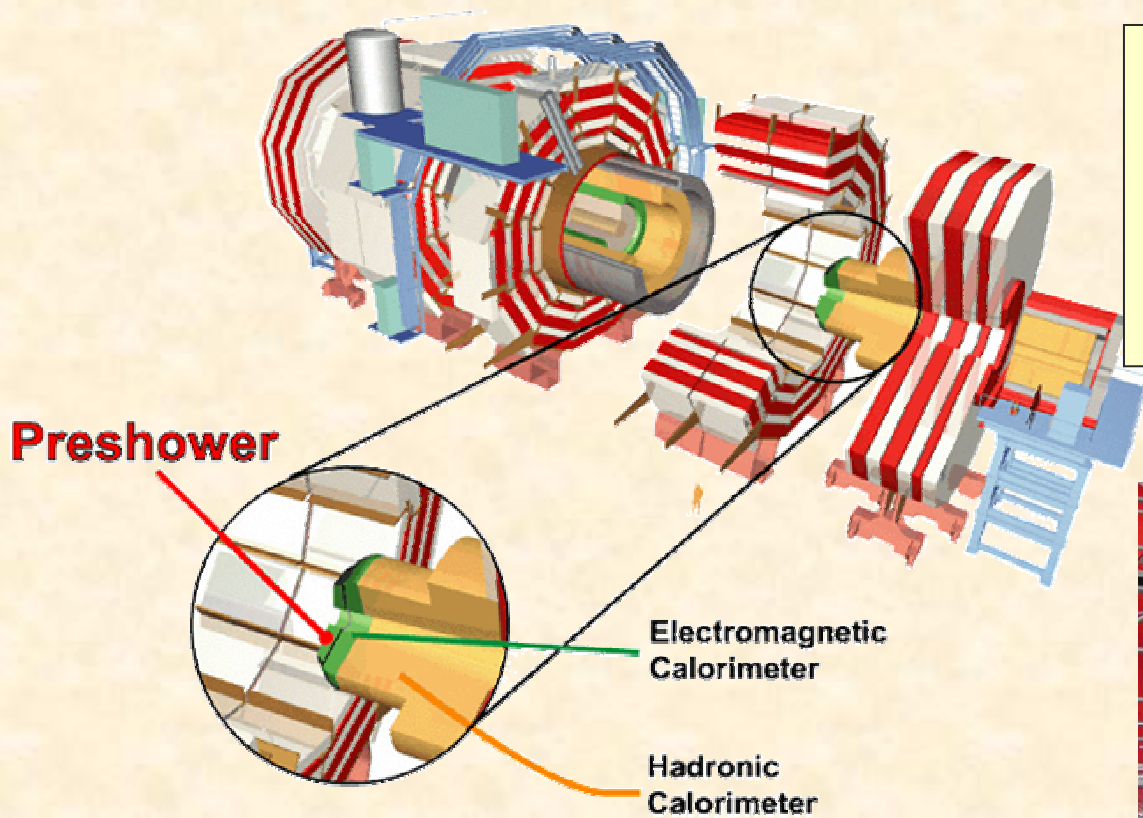
- Ηλεκτρομαγνητικό Καλορίμετρο Electromagnetic Calorimeter
 - Μέτρηση της ενέργειας των ηλεκτρονίων και φωτονίων. (Μέτρηση της ενέργειας των ηλεκτρομαγνητικών καταιγισμών).
- Ανιχνευτής προεντοπισμού των ηλεκτρομαγνητικών καταιγισμών PRESHOWER
 - Μέτρηση της θέσης των ηλεκτρομαγνητικών καταιγισμών που εισέρχονται στο ηλεκτρομαγνητικό καλορίμετρο.

Ηλεκτρομαγνητικό Καλορίμετρο

Ανιχνευτής Preshower

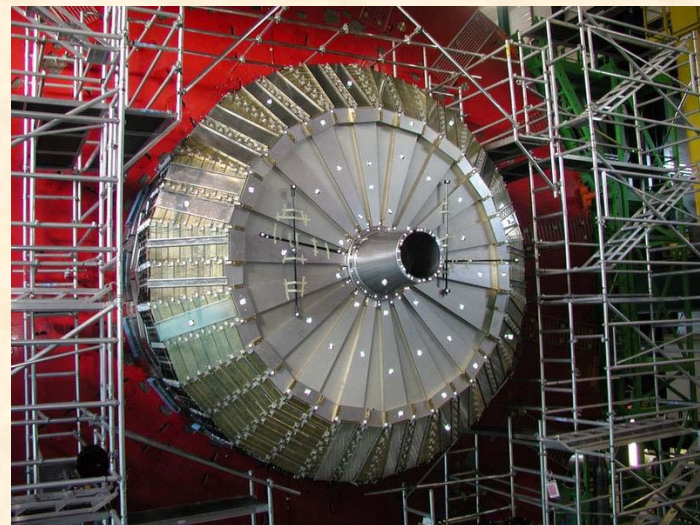


Η θέση του ανιχνευτή Preshower



Only in the endcaps

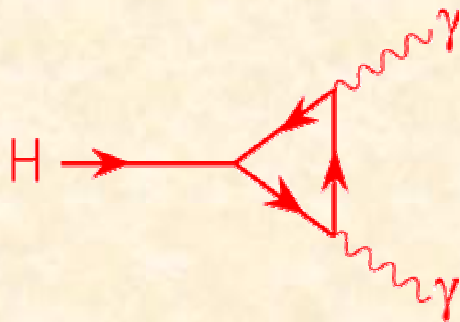
Ο ανιχνευτής Preshower αποτελεί μέρος του ηλεκτρομαγνητικού καλοριμέτρου αλλά σαν σύστημα αποτελεί έναν αυτόνομο ανιχνευτή.



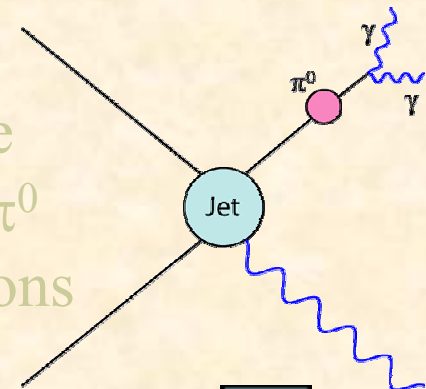
Ο ανιχνευτής Preshower

Main physics goal of CMS is search for SM Higgs

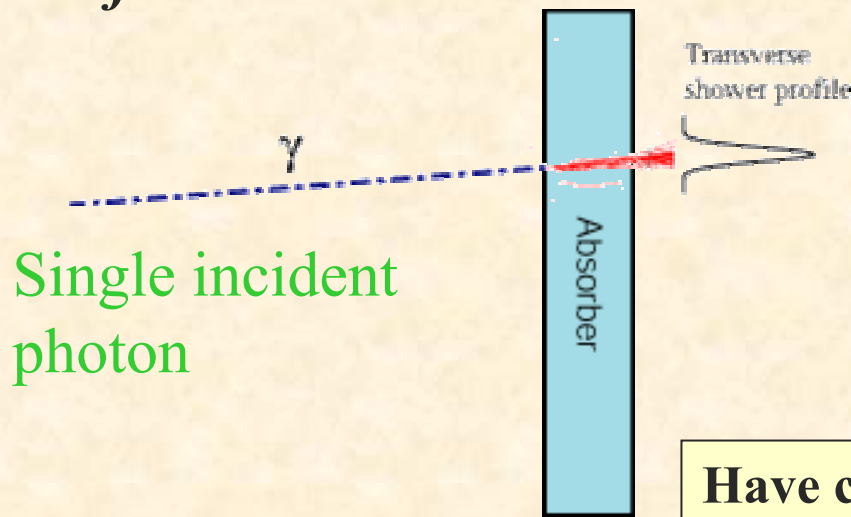
If $m_H < 150 \text{ GeV}/c^2$ best chance is through 2γ decay



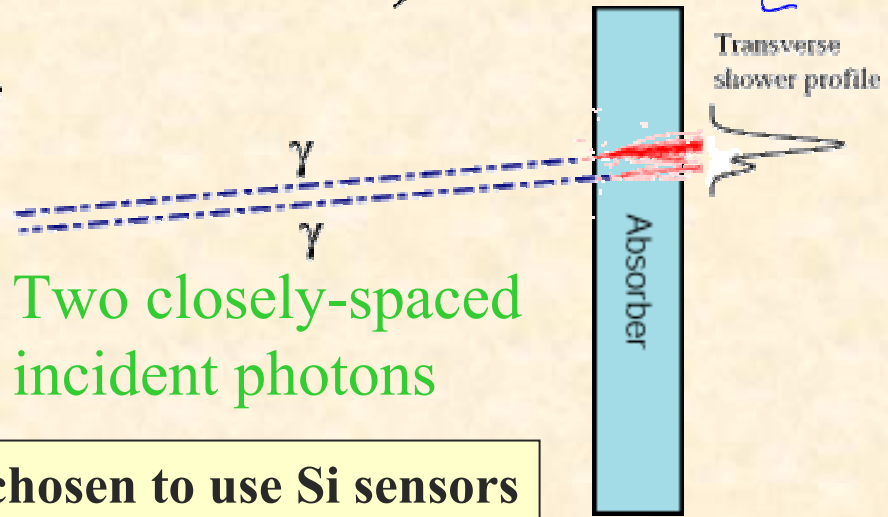
But large reducible background from π^0 faking single photons



Idea of Preshower:



Single incident photon



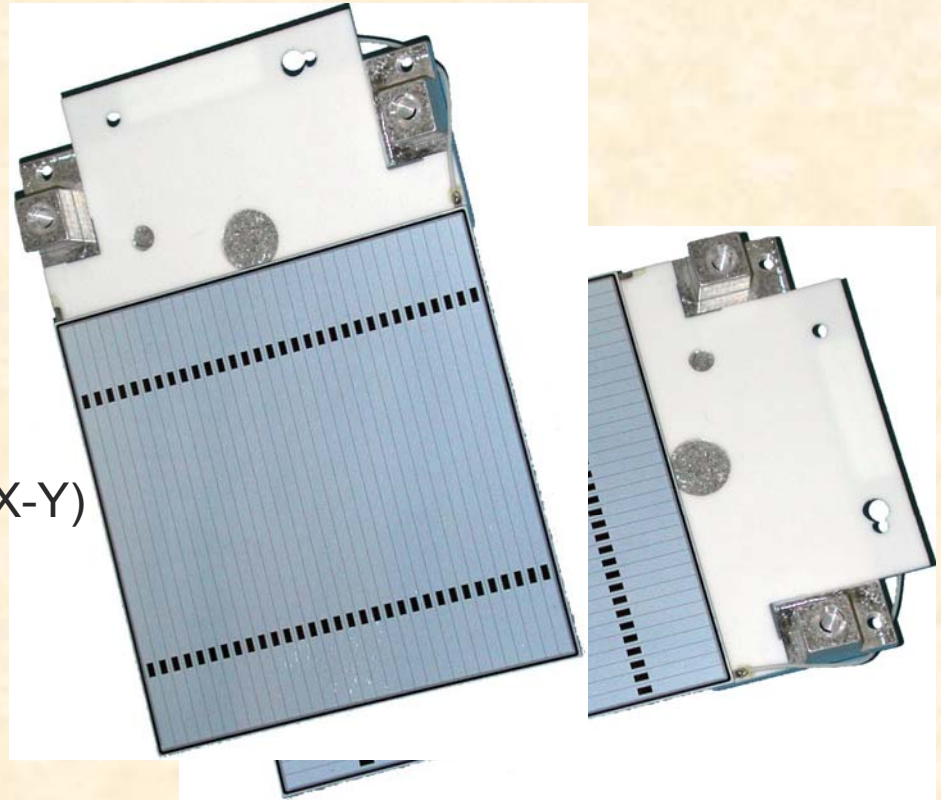
Two closely-spaced incident photons

Have chosen to use Si sensors

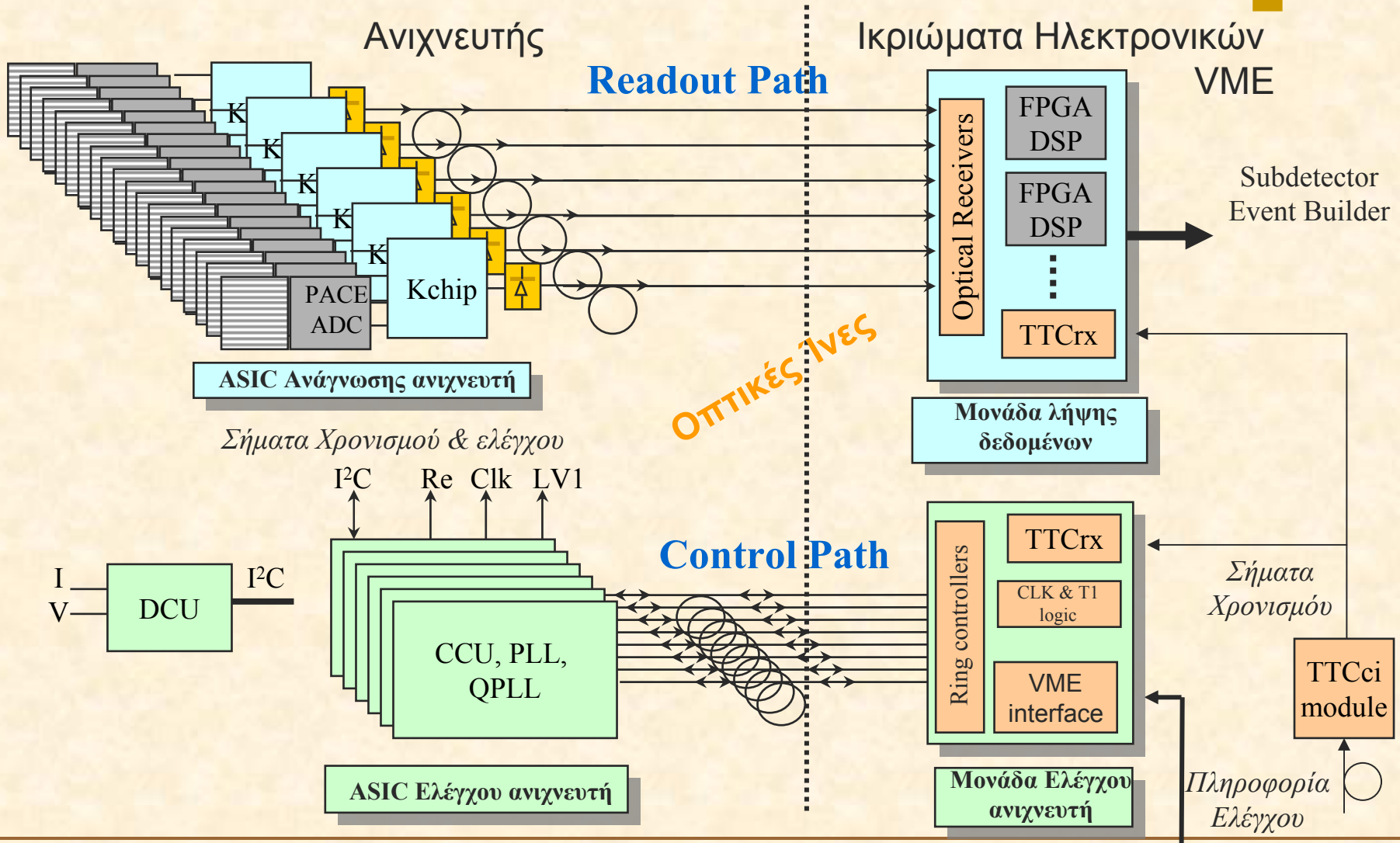
Ο αισθητήρας του Preshower

- Ανιχνευτής μικρολωρίδων πυριτίου (Si strip detector)
- Διαστάσεις: 63mm X 63mm. Πάχος: 300μm
- 32 strips με ενδιάμεση απόσταση 2mm

- 2 στρώματα ανιχνευτών για πληροφορία στις δύο διαστάσεις (X-Y)



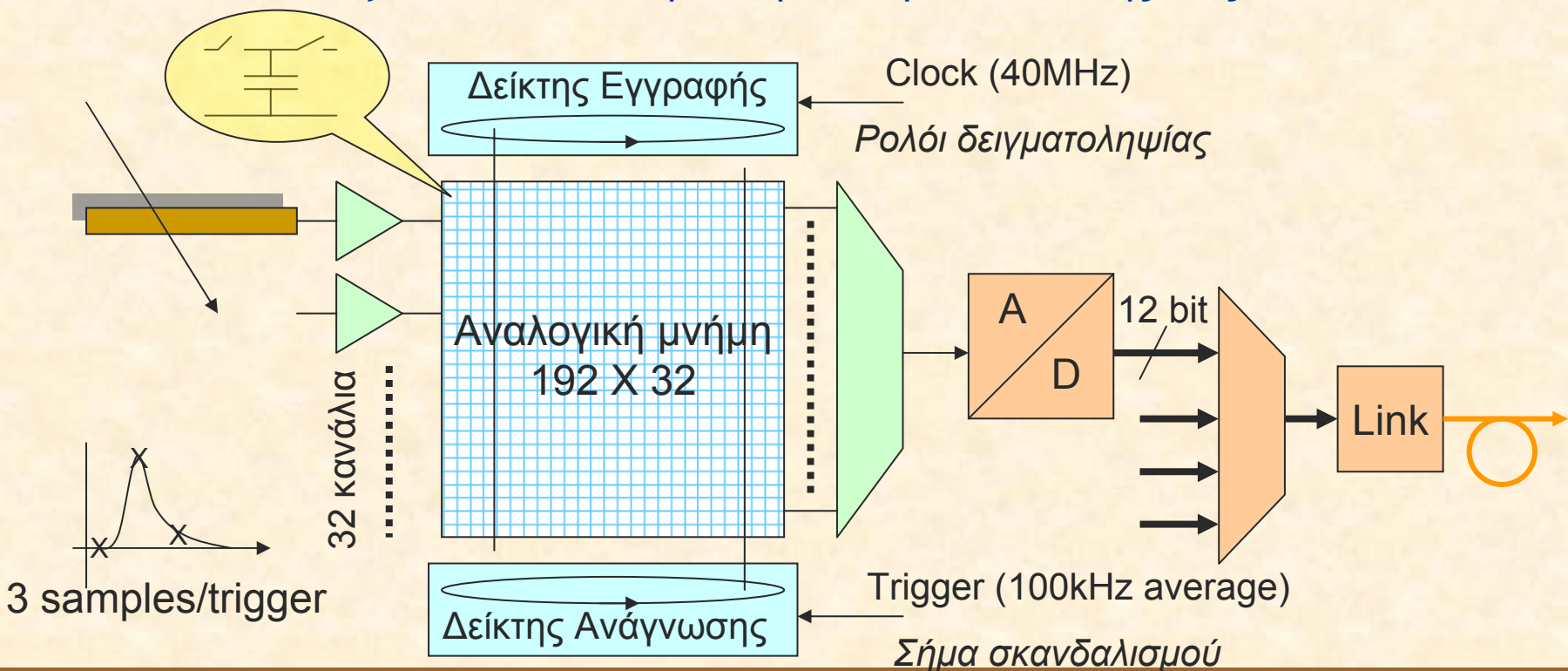
Σύστημα λήψης δεδομένων & ελέγχου



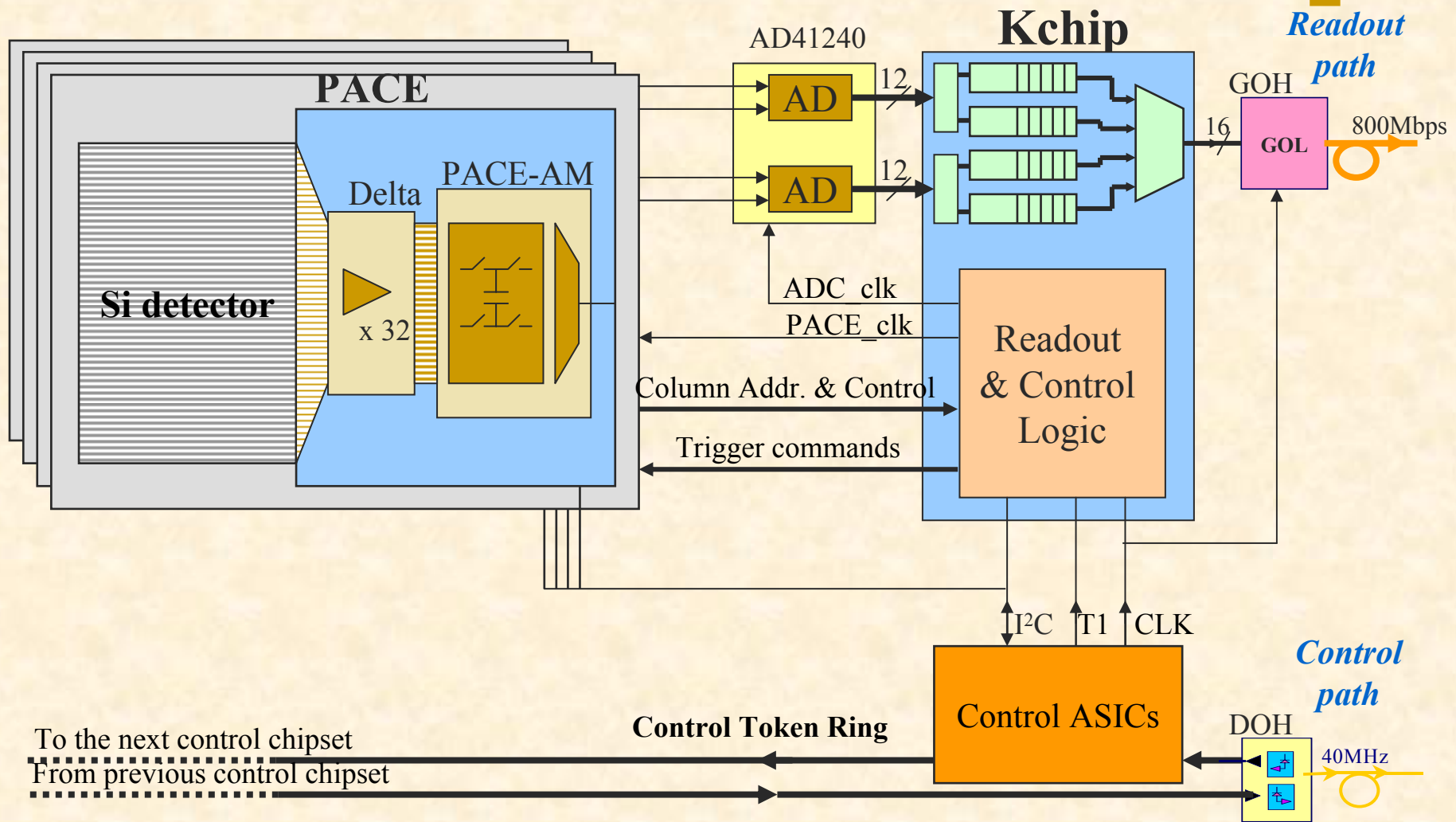
Ηλεκτρονικά ανιχνευτή

■ Λειτουργίες

- Προενίσχυση και Δειγματοληψία των σημάτων του ανιχνευτή
- Προσωρινή αποθήκευση δεδομένων μέχρι την έλευση σήματος σκανδαλισμού
- Ψηφιοποίηση δεδομένων
- Πολυπλεξία και Μετάδοση δεδομένων μέσω οπτικής ίνας



Ηλεκτρονικά Ανιχνευτή Preshower



Ηλεκτρονικά σε ραδιενεργό περιβάλλον

- Τα ηλεκτρονικά των ανιχνευτών βρίσκονται σε περιβάλλον ισχυρής ιονίζουσας ακτινοβολίας.
 - Στην περιοχή του Preshower η ολική δόση ιονίζουσας ακτινοβολίας είναι 10 Mrad.
 - Στην περιοχή του Tracker > 30 Mrad.
 - Οι συνήθεις τεχνολογίες μικροηλεκτρονικών ευρείας χρήσης αντέχουν σε επίπεδα ολικής δόσης ακτινοβολίας της τάξης των <100 krad.

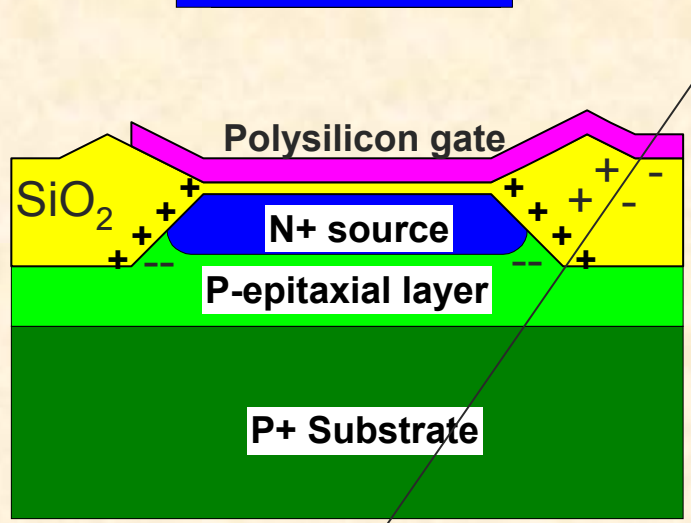
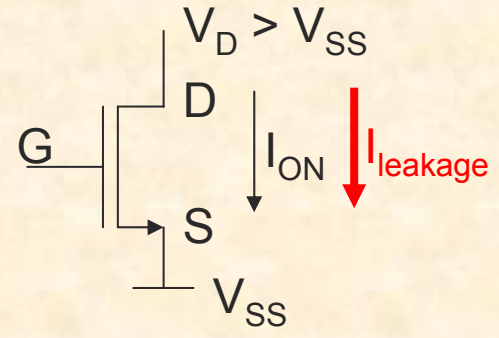
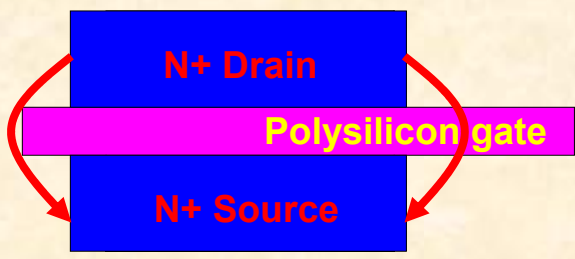
Ηλεκτρονικά σε ραδιενεργό περιβάλλον

- Χρήση ειδικών τεχνολογιών για στρατιωτική χρήση
 - Τεχνολογίες με εξειδικευμένες τεχνικές στην γραμμή παραγωγής που στοχεύουν την αντιστάθμιση των φαινομένων επίδρασης της ιονίζουσας ακτινοβολίας.
 - Μειονεκτήματα
 - Υψηλό κόστος
 - Δυσκολία πρόσβασης
 - Παρωχημένες τεχνολογικά

- Εναλλακτική λύση που αναπτύχθηκε στο CERN
 - Τεχνολογία ευρείας χρήσης και εφαρμογή ειδικών τεχνικών στο σχεδιασμό των τρανζίστορ που αναιρούν τα φαινόμενα υποβάθμισης της λειτουργίας των κυκλωμάτων λόγω της επίδρασης της ιονίζουσας ακτινοβολίας.
 - Δεν χρειάζεται καμία τροποποίηση στην γραμμή παραγωγής των μικροκυκλωμάτων.
 - Επιλογή CMOS τεχνολογίας 0.25 μm της εταιρίας IBM.

CMOS σε ραδιενεργό περιβάλλον

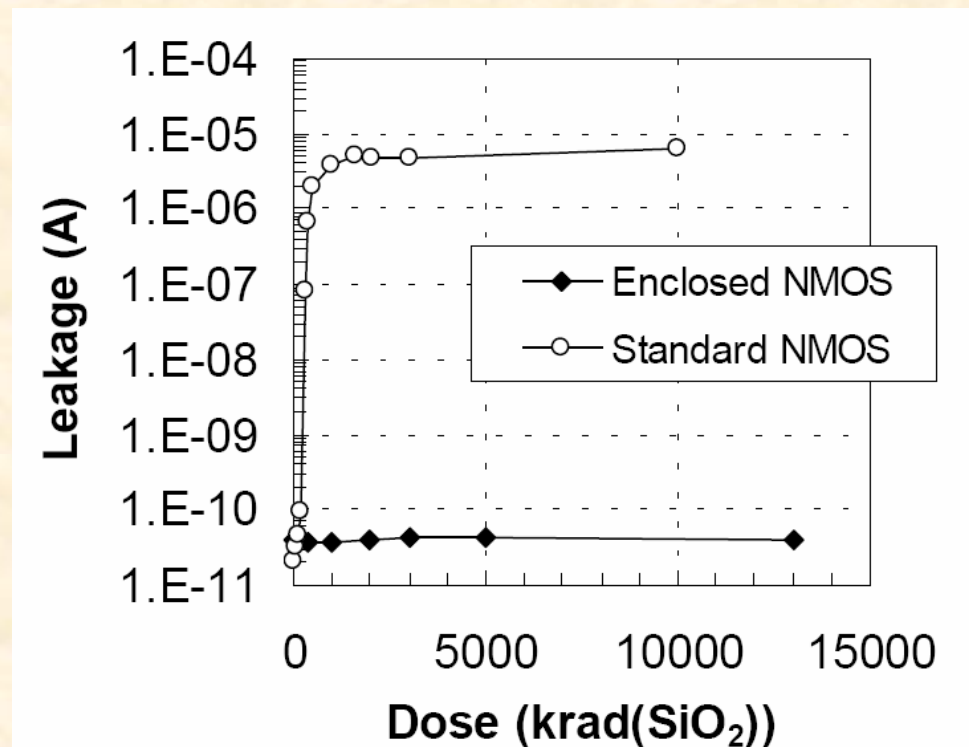
Έναυση ρεύματος διαρροής σε NMOS transistor λόγω ιονίζουσας ακτινοβολίας.



Η λύση: πύλη “κλειστής γεωμετρίας”.
(Enclosed NMOS transistors)

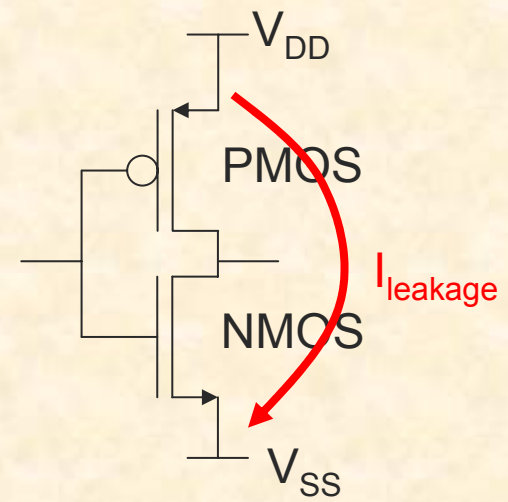
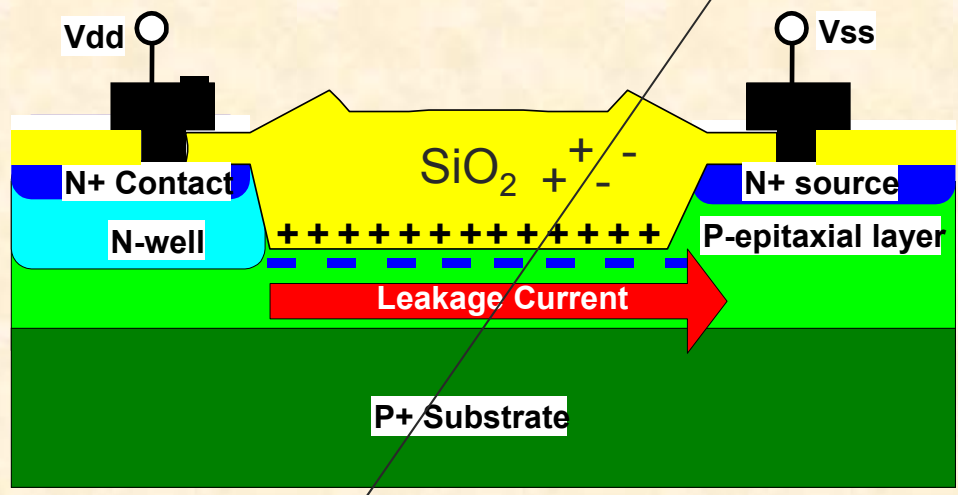
Ρεύμα διαρροής σε NMOS

- Μέτρηση ρεύματος διαρροής σε τρανζίστορ στην κατάσταση “OFF” συναρτήσει της ολικής δόσης ιονίζουσας ακτινοβολίας:
 - Σε τρανζίστορ τυπικού σχεδιασμού.
Standard NMOS
 - Σε τρανζίστορ με πύλη κλειστής γεωμετρίας.
Enclosed NMOS

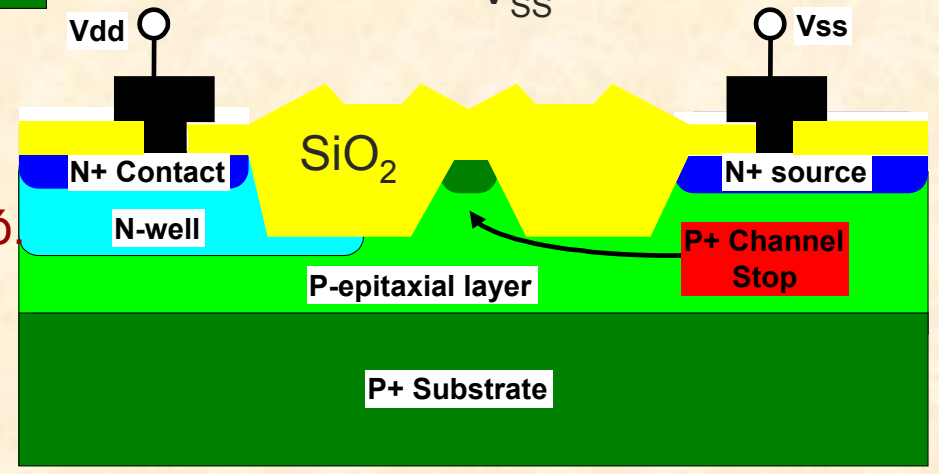


CMOS σε ραδιενεργό περιβάλλον

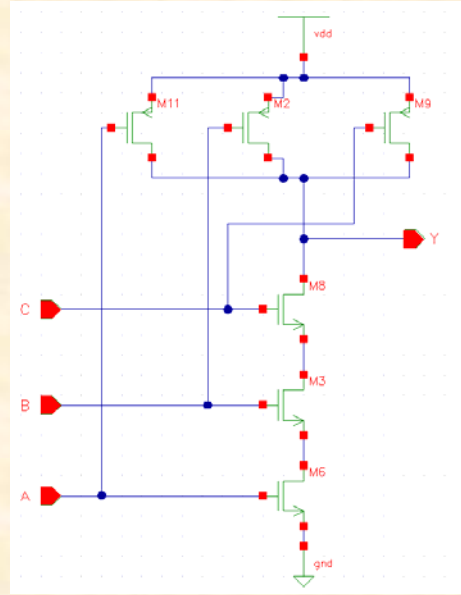
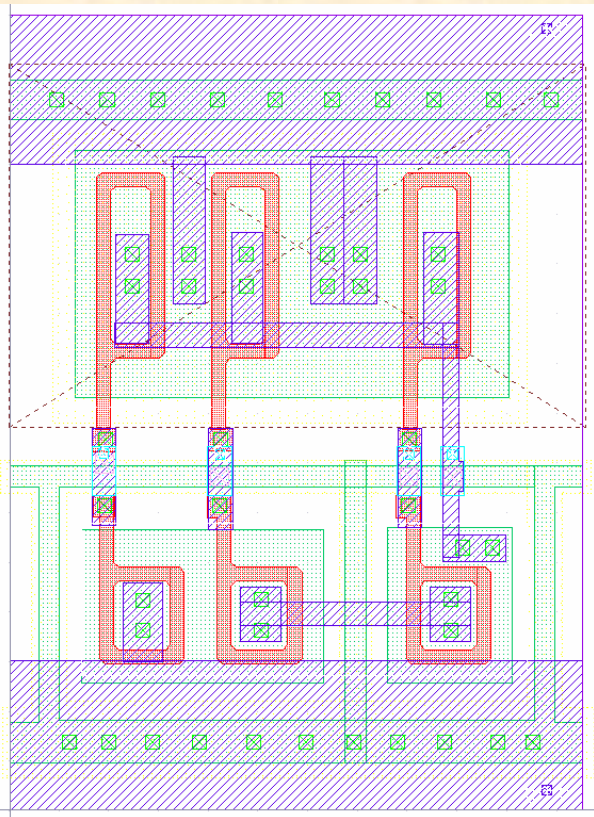
Έναυση ρεύματος διαρροής μεταξύ περιοχών τύπου N λόγω ιονίζουσας ακτινοβολίας.



Η λύση: χρήση περιοχών τύπου P⁺ μεταξύ περιοχών τύπου N με διαφορετικό δυναμικό (P⁺ Guardrings)



Radiation Tolerant Layout



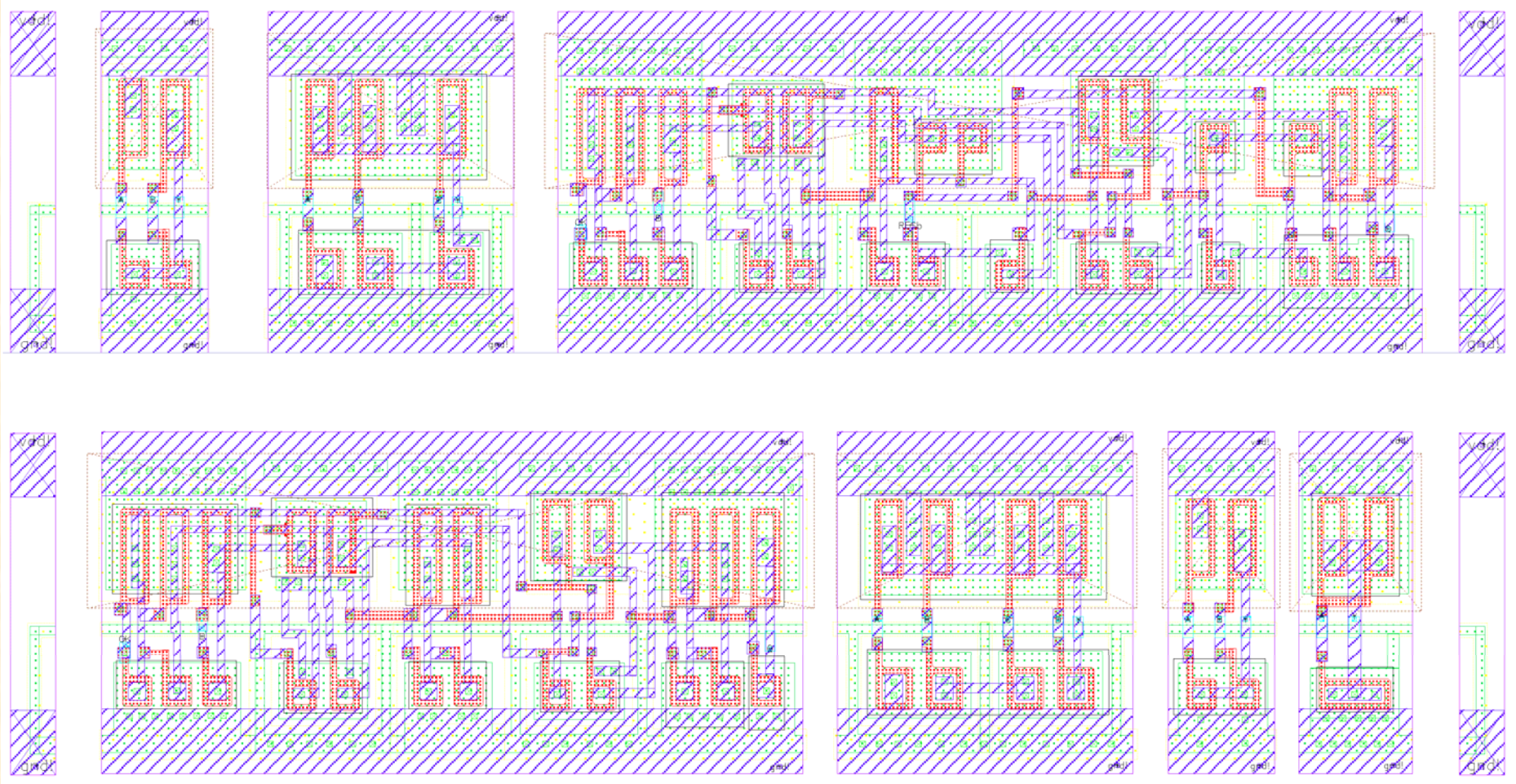
NAND3

- Κανόνες ειδικού σχεδιασμού για χρήση σε ραδιενεργό περιβάλλον:
 - Χρήση “enclosed NMOS transistors” για την αποφυγή ρευμάτων διαρροής κατά μήκος των παρυφών του τρανζίστορ.
 - Χρήση “guard rings” για την απομόνωση περιοχών τύπου N που βρίσκονται σε διαφορετικό δυναμικό.

Σύστημα σχεδιασμού CAD

- Ανάπτυξη πακέτου αναλογικού/ψηφιακού σχεδιασμού από το CERN
 - Ανάπτυξη βιβλιοθήκης βασικών πυλών (standard cell) κάνοντας χρήση των ειδικών κανόνων σχεδιασμού.
 - Παραμετροποίηση και χαρακτηρισμός των βασικών πυλών.
 - Υποστήριξη εργαλείων αυτοματισμού CAD.
- Διάθεση του πακέτου σχεδιασμού μέσω του οργανισμού Europractice σε όλα τα συνεργαζόμενα με το CERN εργαστήρια.
- Πάνω από το 70% των μικροηλεκτρονικών διατάξεων των ανιχνευτών στα πειράματα του LHC έχουν υλοποιηθεί με την εν λόγω τεχνολογία.

Βιβλιοθήκη “Standard Cells”

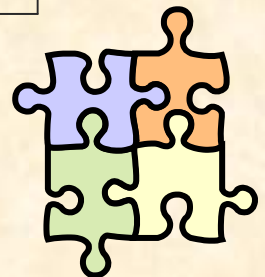
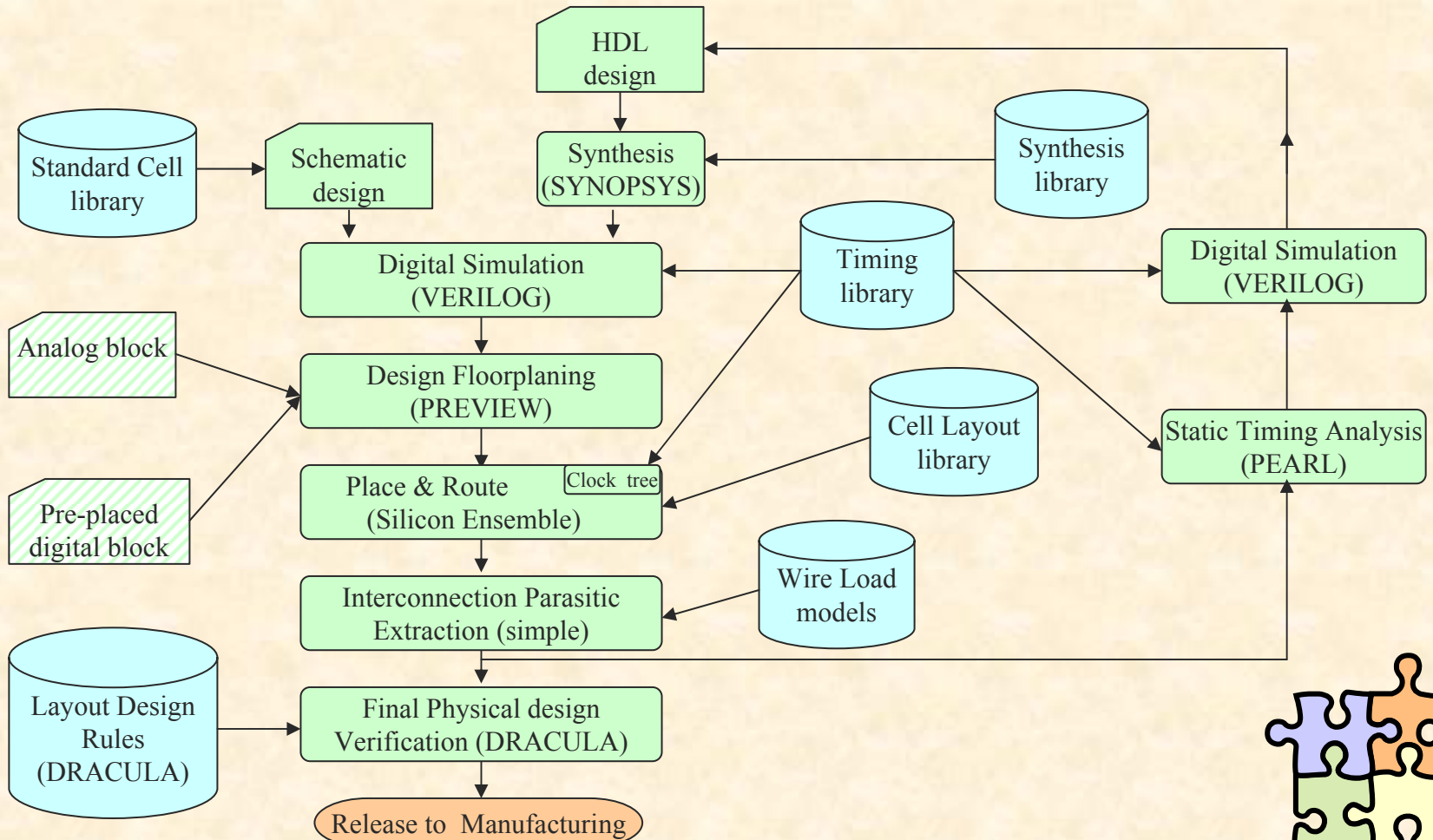


Αυτόματη Διασύνδεση Πυλών



- P&R tool:
Silicon Ensemble
- Maze Router
 - No channels
 - Flip & Abut the cells
- Special support for Rad-Tol layout design.
- Interrconnection: 3 metal layers, upgradable to 6

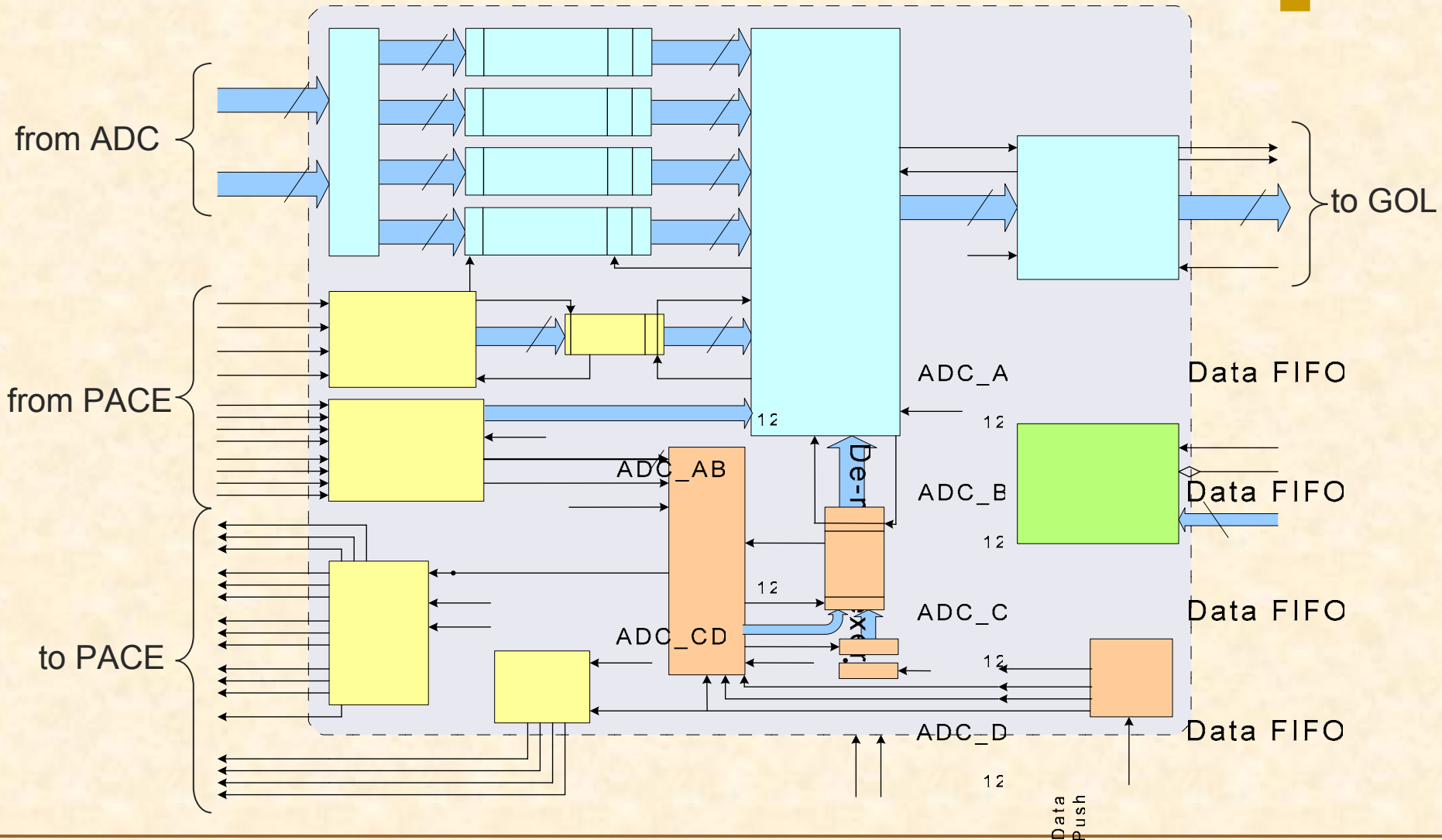
Digital Design Flow



Λειτουργίες του Kchip

- Data Concentration
 - Συλλογή δεδομένων από 1~4 PACE chips.
- Event Data Formatting
 - Δημιουργία πακέτου δεδομένων για κάθε γεγονός. (Event Packet)
 - Επισύναψη πληροφορίας χρονισμού σε κάθε πακέτο δεδομένων.
 - Bunch Count (BC) and Event Count (EC) Identifier.
 - Πρωτόκολλο επικοινωνίας για την μετάδοση των δεδομένων μέσω οπτικής ίνας. (Gigabit Optical Link)
- Readout Controller
 - Αποκωδικοποίηση των εντολών σκανδαλισμού. (Trigger Command)
 - Επίβλεψη της συγχρονισμένης λειτουργίας των PACE chip.
 - Επίβλεψη του επιπέδου πληρότητας των προσωρινών μνημών (Buffer Overflow Detection / Prevention)

Kchip Block Diagram



Data Rates

- PACE generated traffic

3 columns/trigger }
 32 samples/column } 96 samples/trigger
 12-bit ADC
 100KHz Trigger Rate } **14.4 MB/sec**

Traffic from 4 PACE chips = 57.6MB/sec

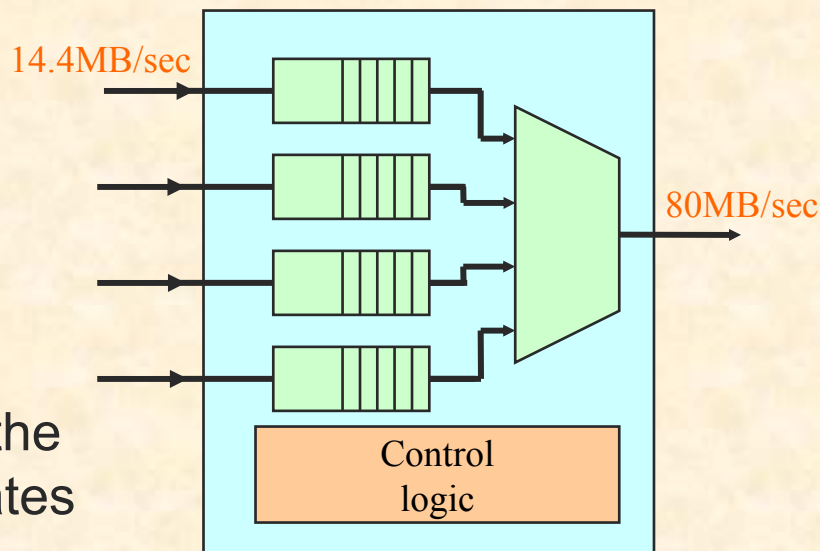
- Gigabit Link Throughput

(GOL chip) **80 MB/sec**

PACE event readout time = 6.9 μ sec

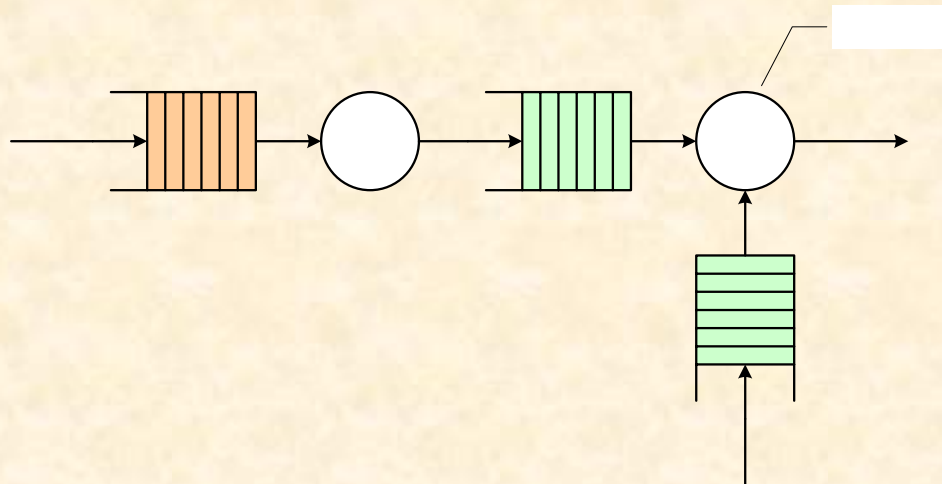
Kchip event readout time = 7.8 μ sec

- The difference in the readout times and the stochastic nature of trigger arrivals mandates the need of data buffering on the Kchip.



Front-End System FIFOs

- Model of front-end system FIFOs.



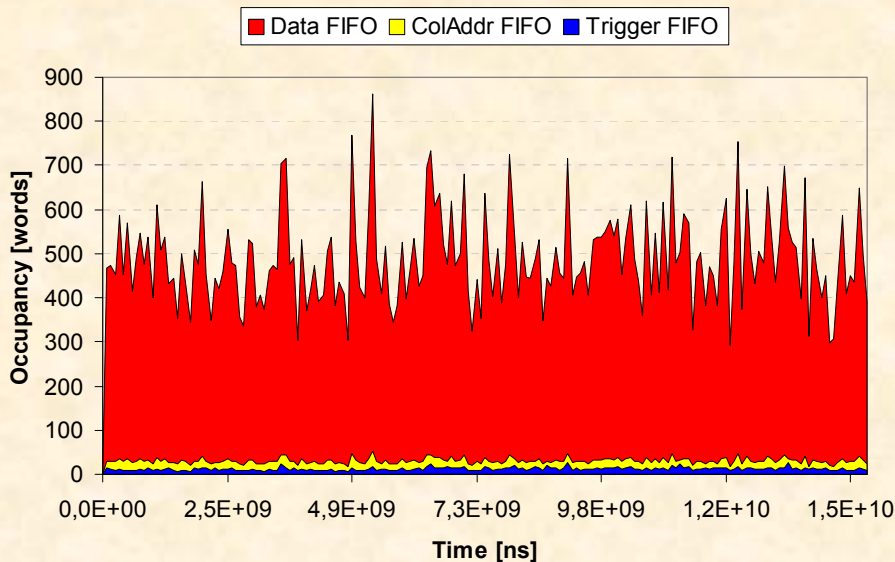
- Trigger arrivals follow an exponential distribution.
- Kchip service time follow a uniform distribution. PACE FIFO
 - An analytic queuing model is difficult to develop.
 - A simulation model of the complete front-end system has been developed.

λ_{LV1}

μ_P

Sizing the Kchip FIFOs

- PACE FIFO can store up to 10 events.
 - From simulations: $P_{\text{rejection}} = 1.9\text{E-}04$ @ 100KHz trigger rate.
- Kchip FIFOs:
 - Kchip FIFOs should be sized for lower event rejection probability.

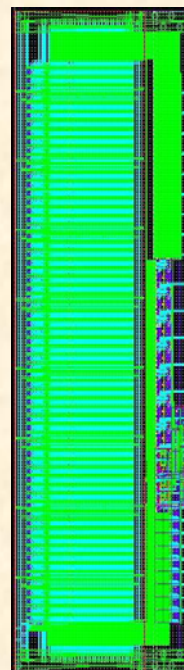


Time examined	15.10 ²	s
Number of events	1.5 10 ⁶	
Mean interarrival time of events	10.059	μs
PACE rejected events	7	
Kchip rejected events	0	
Maximum Trigger FIFO occupancy	26	words
Maximum Column FIFO occupancy	52	words
Maximum Data FIFO occupancy	863	words
Average Trigger FIFO occupancy	3	words
Average Column FIFO occupancy	2	words
Average Data FIFO occupancy	36	words

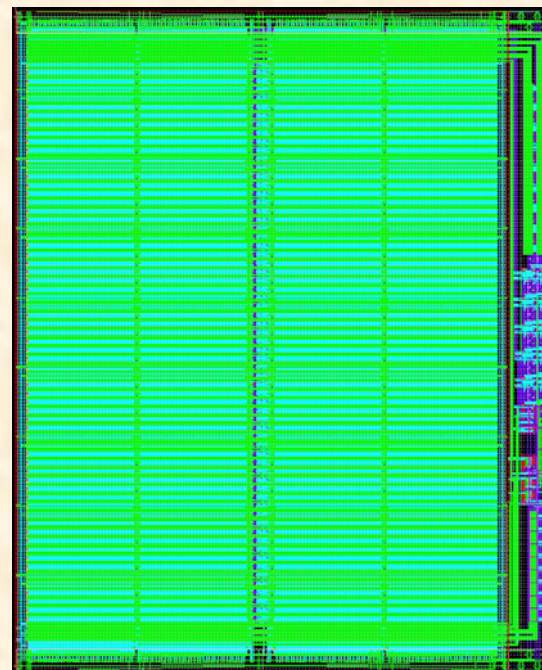
Implementation of Kchip FIFOs

FIFO	Native Size of SRAM module	Actual Capacity
Data	1 Kword x 18 bits	10 events (1024/96)
Column Address	128 words x 27 bits	10 events (matches Data FIFO)
Trigger	128 words x 27 bits	64 triggers (128/2)

- FIFOs are implemented using a “Configurable Dual-Ported SRAM macro cell”.
- Two macro cells:
 - Column Addr. & Trigger FIFO
 - 128 words x 27 bits
 - Data FIFO
 - 1024 words x 18 bits



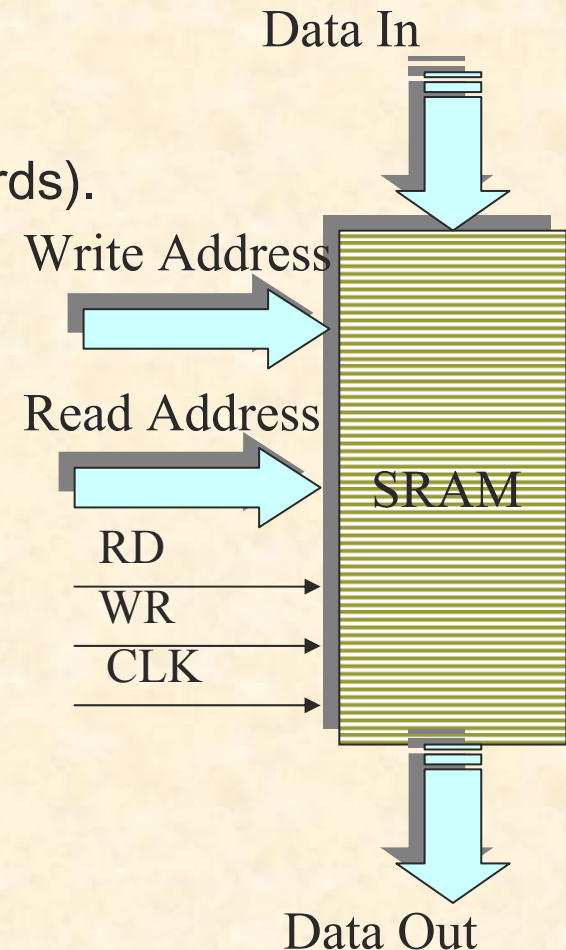
128 x 27bits



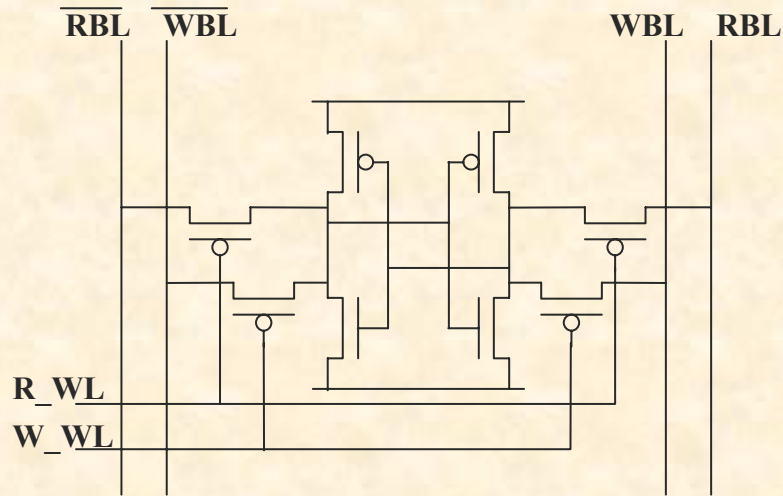
1024 x 18bits

CERN-SRAM specifications

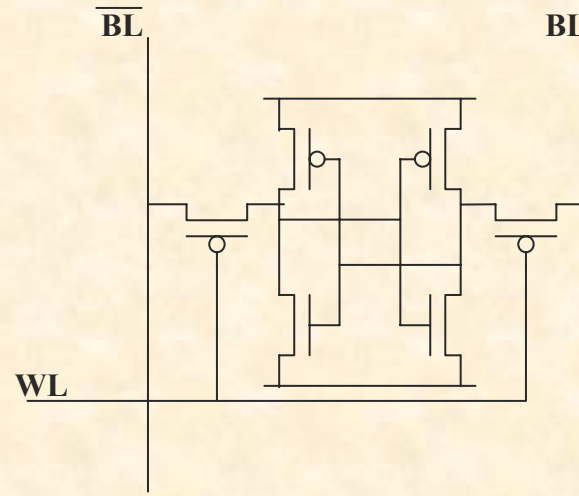
- Scalable Design
 - Configurable Bit organization ($n \times 9$ -bit).
 - Configurable Memory Size (128 – 4Kwords).
- Synchronous Dual-Port Operation
 - Permits Read/Write operations on the same clock cycle.
 - Typical Operating Frequency: 40 MHz.
- Low Power Design
 - Full Static Operation.
 - Divided Wordline Decoding.
- Radiation Tolerant Design



Memory Cell



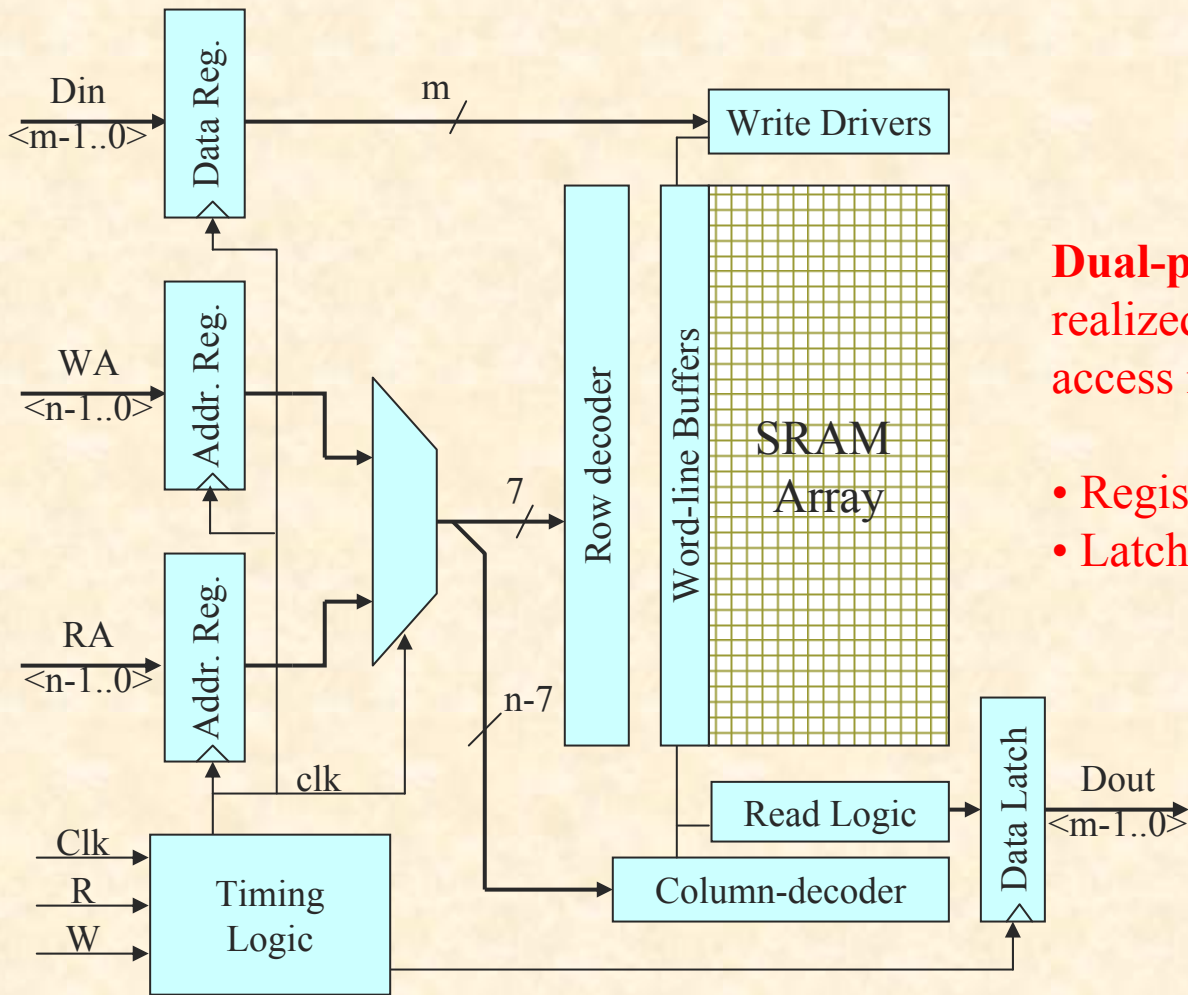
Dual Port SRAM Cell



Single Port SRAM Cell

- To minimize the macro-cell area a Single Port memory cell is used based on a conventional cross-coupled inverter scheme.
- Gain in Memory Cell Layout Area = 18%

SRAM Block Diagram



Dual-port functionality is realized with a time sharing access mechanism.

- Registered Inputs
- Latched Outputs

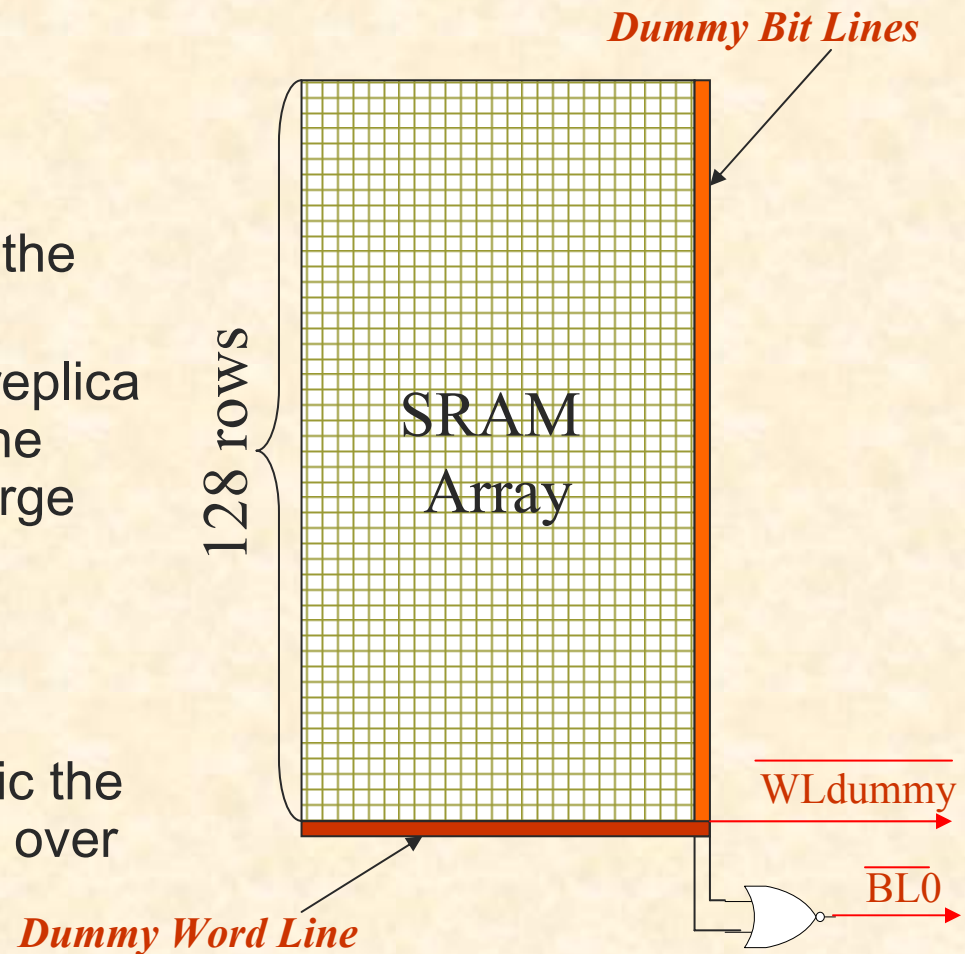
Replica Techniques

■ Scalability

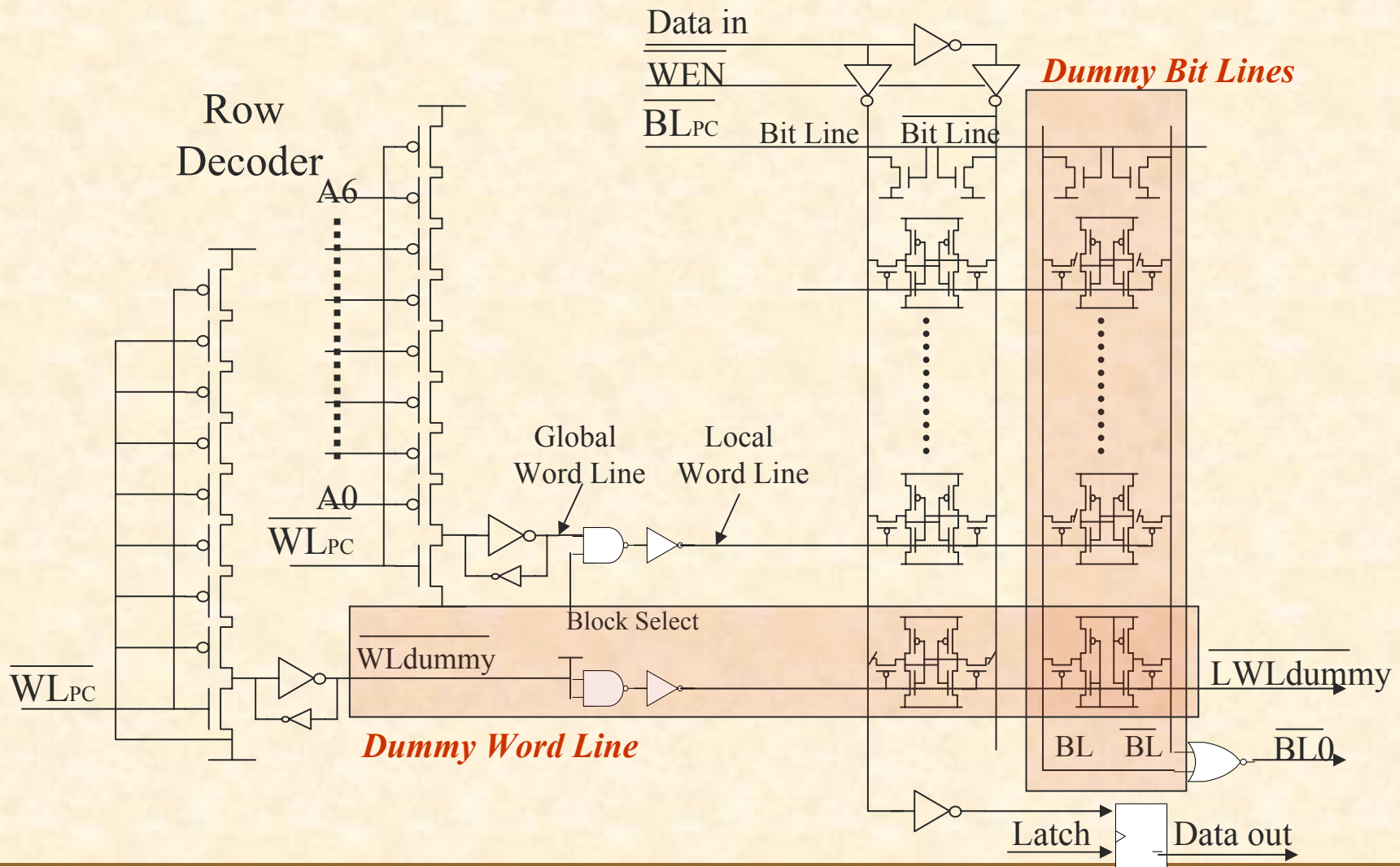
- Wordline select time depends on the size of the memory.
- Dummy Wordline with replica memory cells to track the wordline charge-discharge time.

■ Bitline Timing

- Dummy Bitlines to mimic the delay of the bitline path over all conditions.



Replica Techniques



Cell Library

Size Configurable

Data Input Register

Address Mux Register

Column Decoder

Block Pre-Decoder

Output Data Latch

Fixed Layout

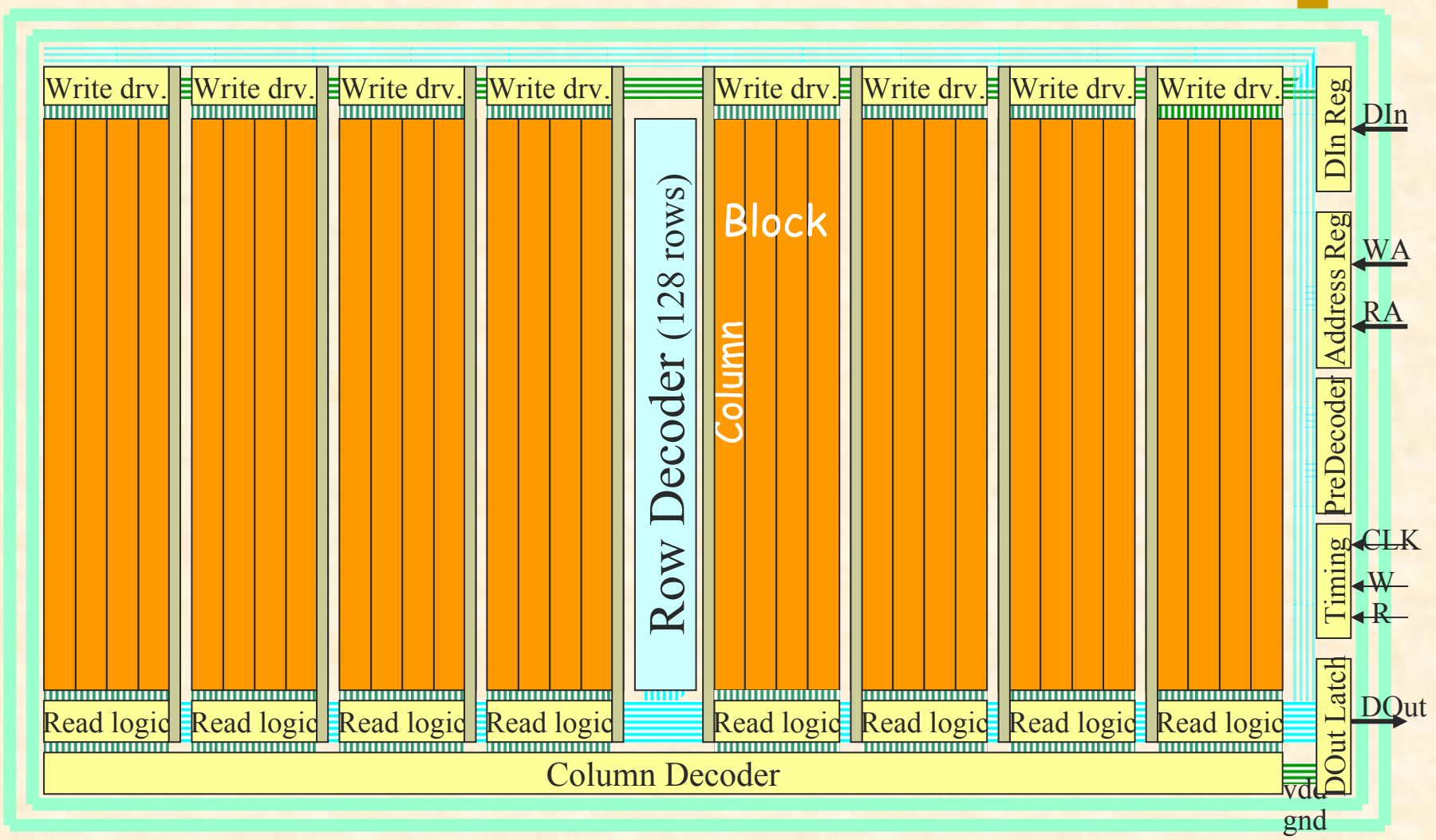
WordLine Buffers

Row Decoder

SRAM column, 128 x 9bits
(50.4 μm x 1086.2 μm)

Timing logic

Floorplanning



Submitted SRAM Chips

1st Prototype

Design: CERN_SRAM_1K

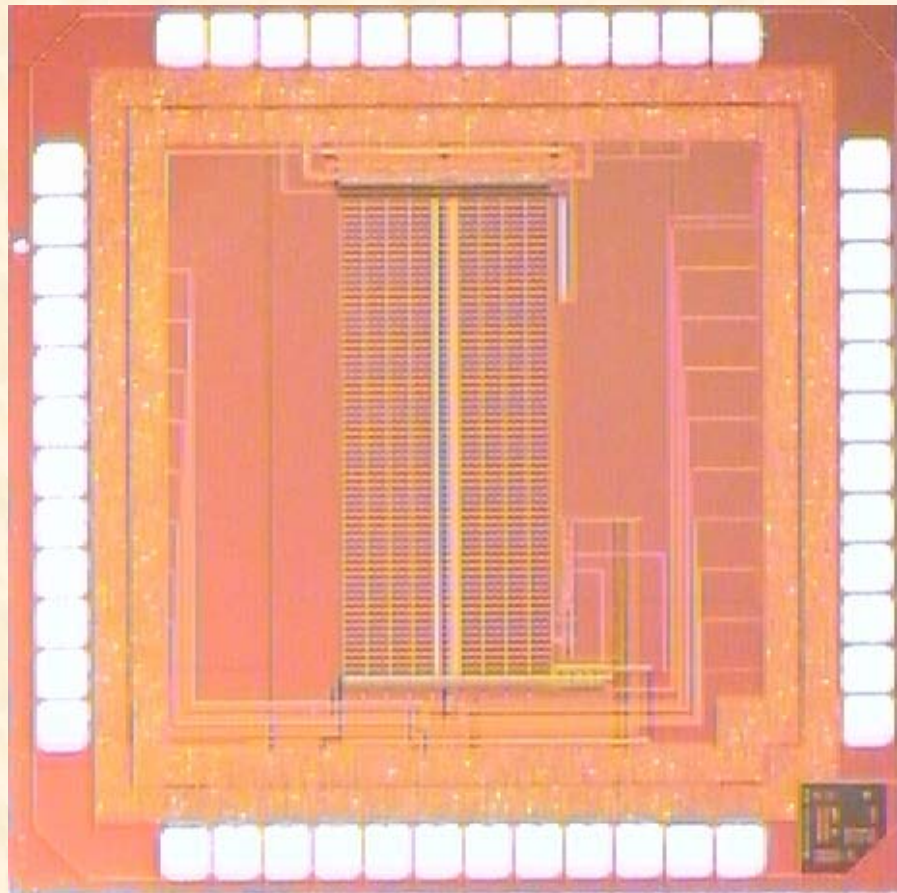
Configuration: **1K x 9 bit**

Size: $\sim 560\mu\text{m} \times 1,300\mu\text{m}$

Area: $\sim 0.73\text{mm}^2$

Density: $\sim 12.6\text{Kbit}/\text{mm}^2$

The Memory consists of
2 Blocks of 512 x 9bits.
 Each Block is composed by
4 Columns of 128 X 9bits.



Submitted SRAM Chips

2nd Prototype

Design: CERN_SRAM_4K

Configuration: **4K x 9 bit**

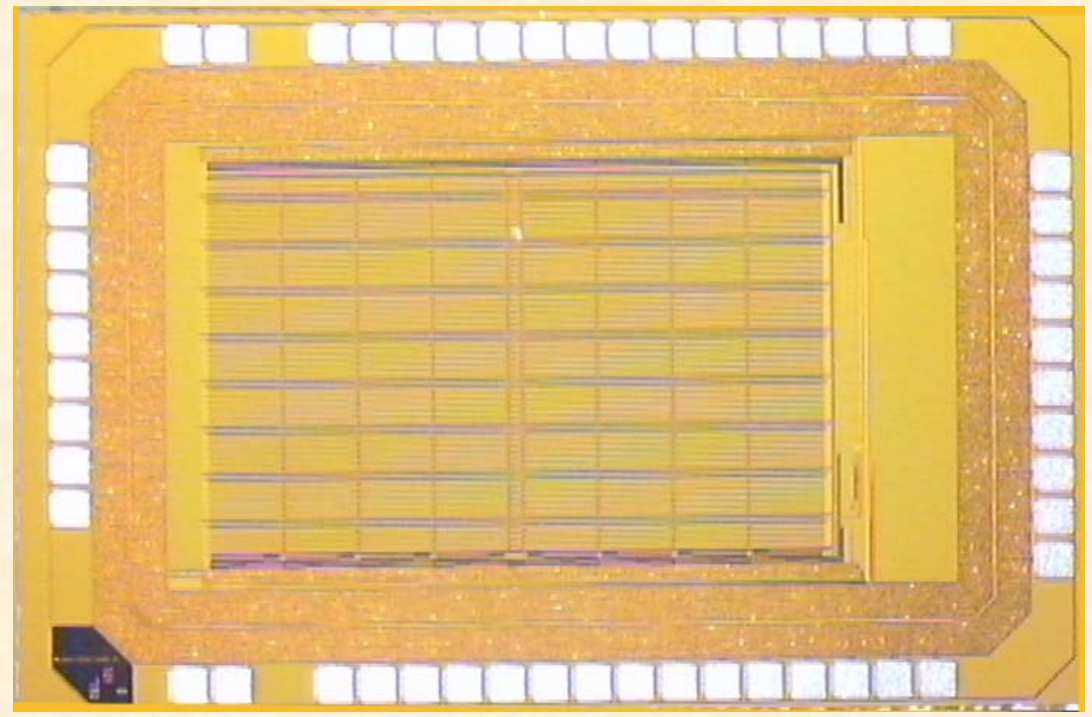
Size: ~1,850 μ m x 1,300 μ m

Area: ~2.4mm²

Density: ~15.4Kbit/mm²

The Memory consists of
8 Blocks of 512 x 9bits.

Each Block is composed by
4 Columns of 128 X 9bits.



Test chip: 4Kx9bit

■ Functional tests

- Max operating frequency:
 - Simultaneous Read/Write operations: 70MHz @ 2.5V
- Read access time: 7.5ns @ 2.5V
- Power dissipation:
 - 15 μ W / MHz @ 2.5V for simultaneous Read/Write operations on the same clock cycle (0.60mW @ 40MHz).
- Tests for process variations:
 - Differences in the access time < 1ns for: -3σ , -1.5σ , typ, $+1.5\sigma$, $+3\sigma$



CERN SRAM popularity !



- **ATLAS MCC chip**

- Memory configuration: 128 x 27bit
- Detector: ATLAS PIXEL
- Lab: INFN Genova

- **ALICE AMBRA chip**

- Memory configuration: 16K X 9 bits
- Detector: ALICE Silicon Drift Det.
- Lab: INFN Torino

- **ALICE CARLOS chip**

- Memory configuration: 256 X 9 bits
- Detector: ALICE Silicon Drift Det.
- Lab: INFN Bologna

- **LHCb SYNC chip**

- Memory configuration: 256 X 9 bits
- Detector: LHCb muon system
- Lab: INFN Cagliari

- **ATLAS SCAC chip**

- Memory configuration: 128 x 18bit
- Detector: ATLAS tracker
- Lab: NEVIS Labs

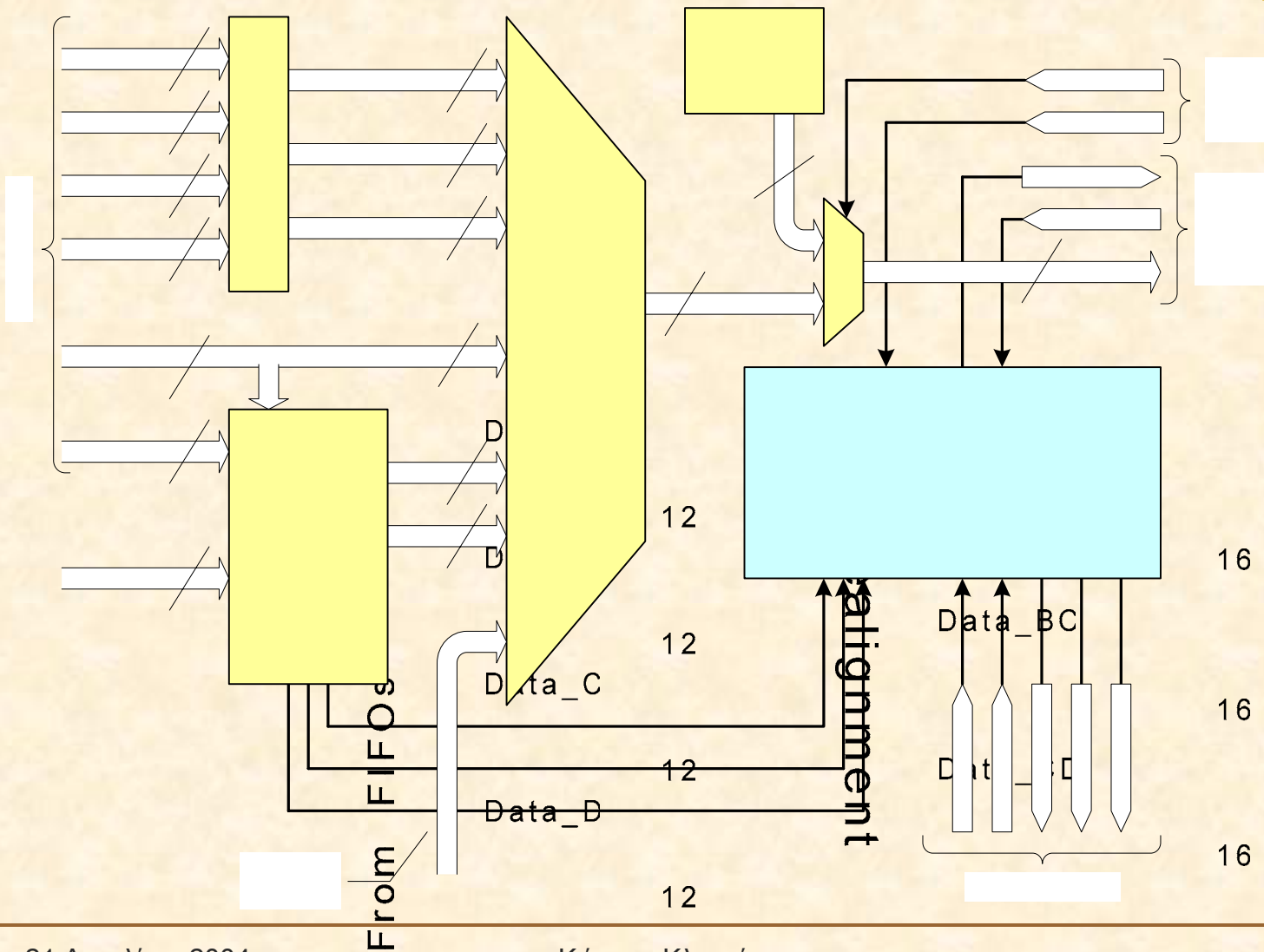
- **ATLAS DTMROC chip**

- Memory configuration: 128 x 153 bits
- Detector: ATLAS TRT
- Lab: CERN

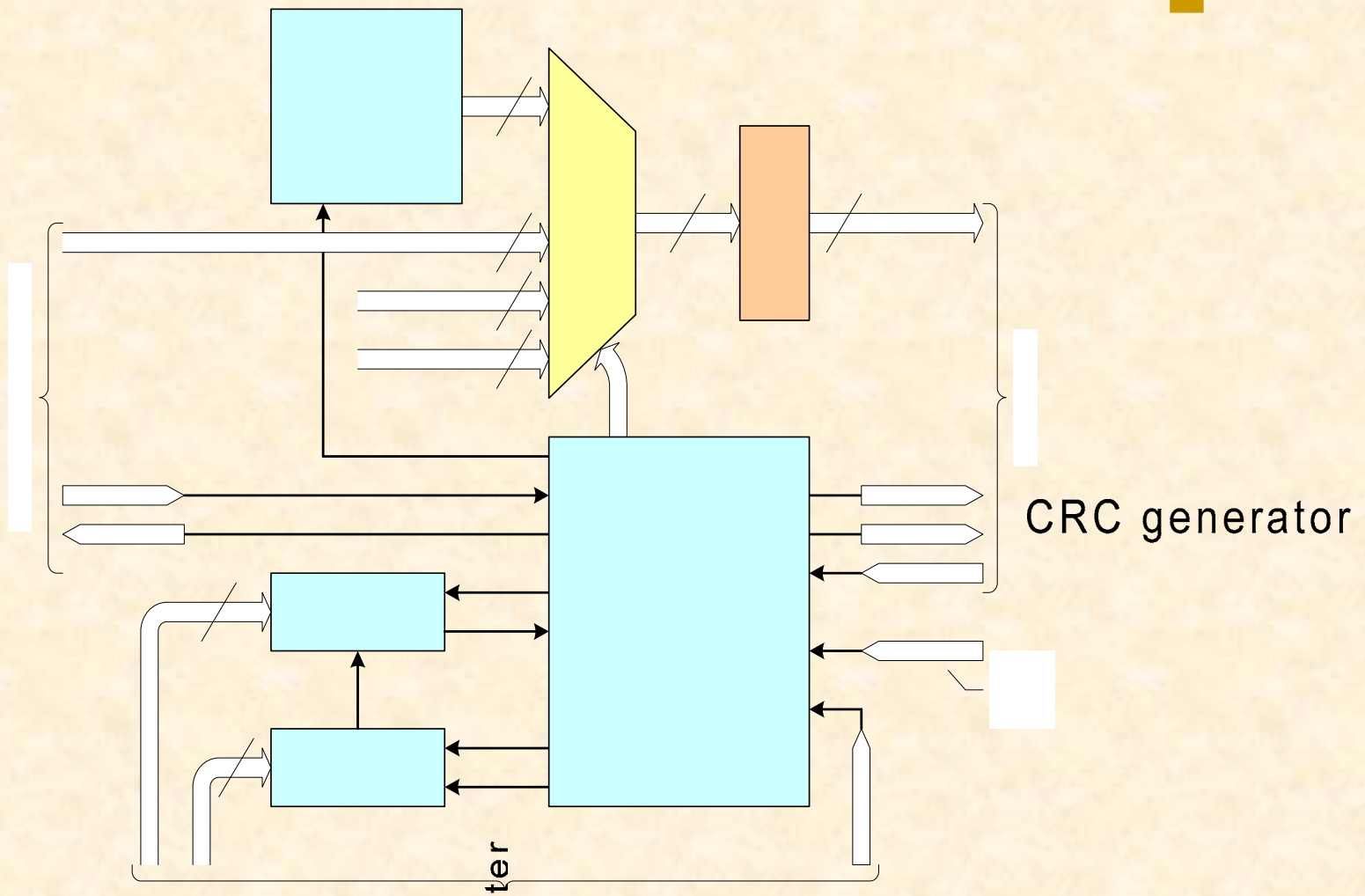
- **CMS Kchip**

- Memory configuration: 2K x 18 bits
128 x 18 bits
- Detector: CMS Preshower
- Lab: CERN

Packet Formatter

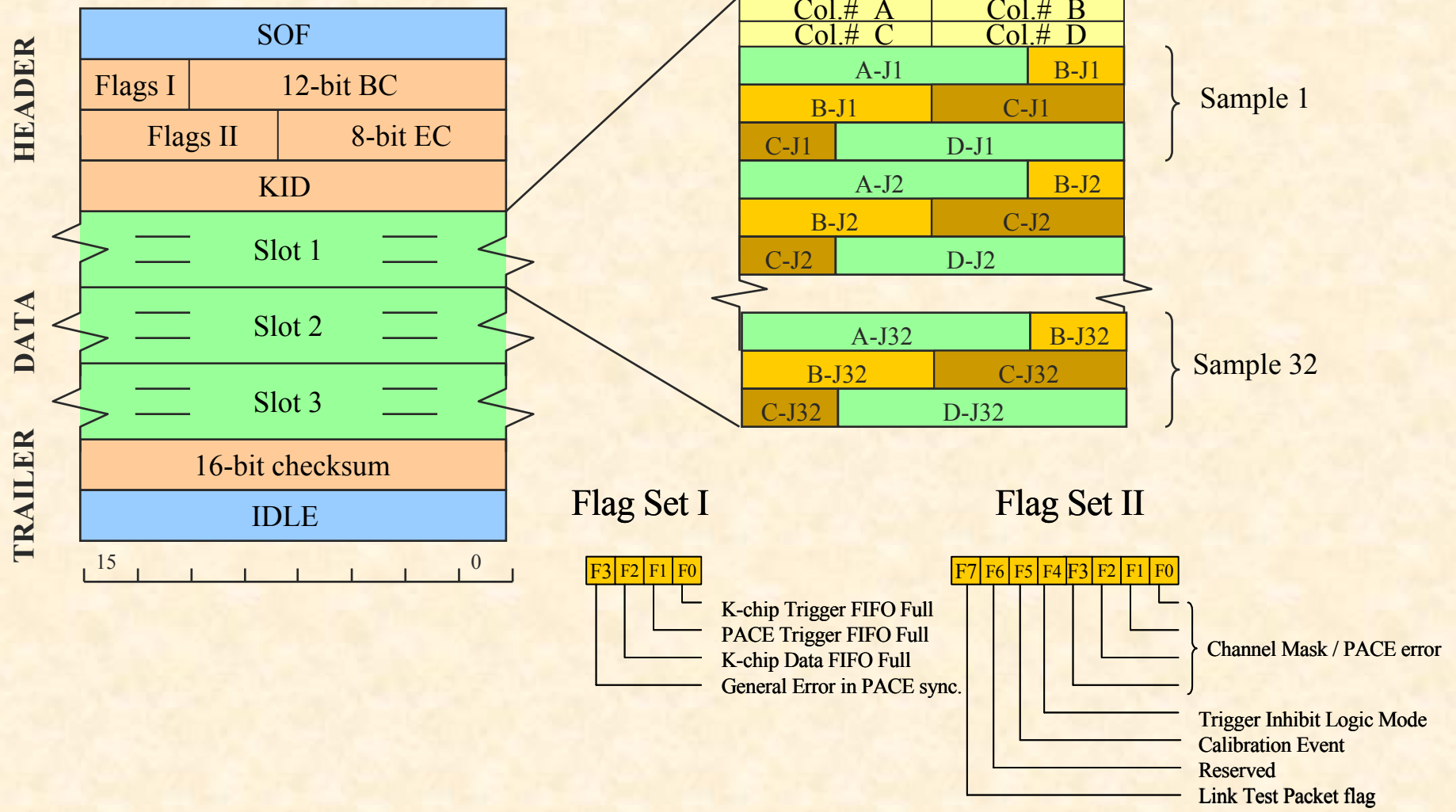


Optical Link Interface



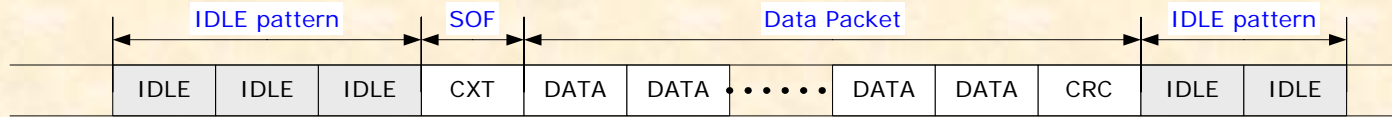
"SOF" charac

Packet Format

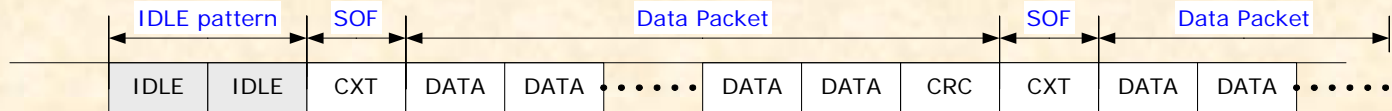


Link Layer

8b/10b encoding



Packet format in 8b/10b encoding.



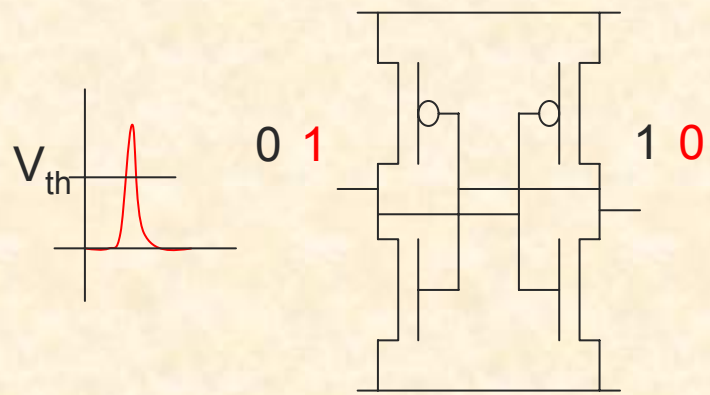
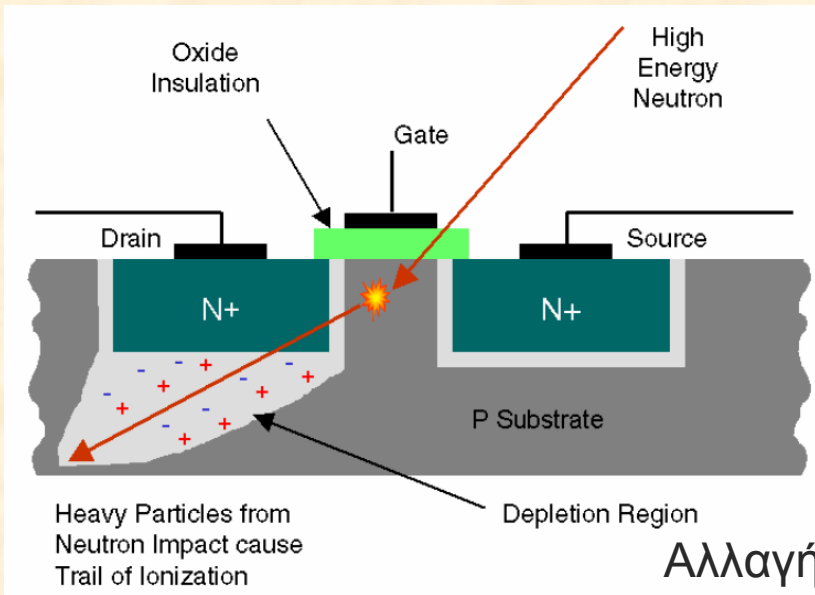
IDLE = <K28.5, D5.6> or <K28.5, D16.2> : Idle
 CXT = <K23.7, K23.7> : Carrier Extend

Packet format in 8b/10b encoding for back-to-back events.

- The Kchip employs a **packet oriented data transmission protocol**.
- The Kchip Link Layer Protocol uses two uniquely defined transmission control characters, the IDLE and the SOH.
 - The **IDLE** character allows the receiver to obtain and maintain bit synchronization. .
 - The **SOF** character indicates the beginning of the frame and delimits the boundaries of subsequently transmitted frames.

Single Event Upsets (SEU)

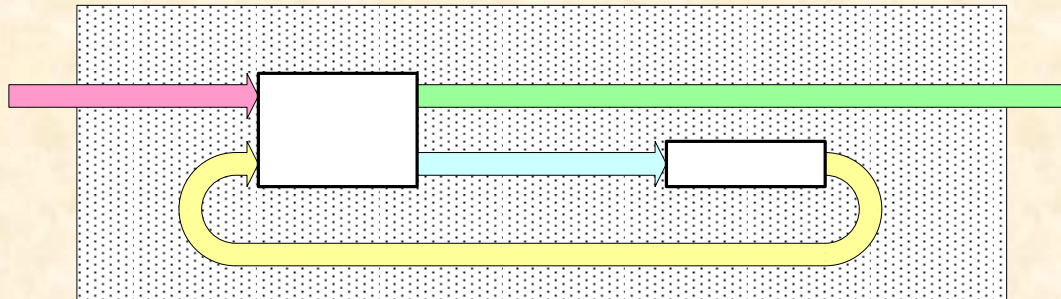
- Παροδικά φαινόμενα στην λειτουργία των μικροηλεκτρονικών κυκλωμάτων λόγω ροής υψηλοενεργειακών σωματιδίων.
Single Event Upsets (SEU)



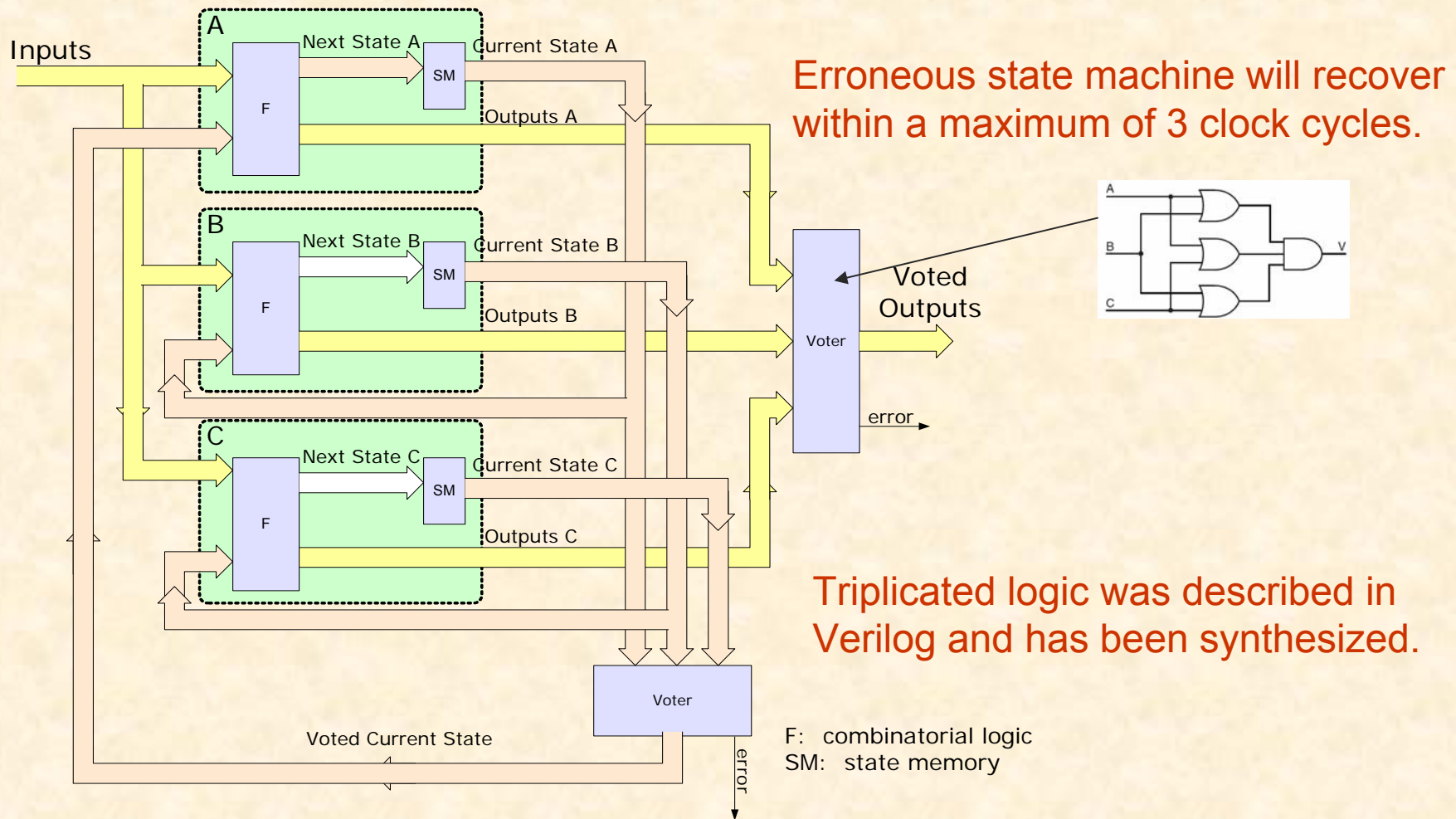
Αλλαγή της κατάστασης του Flip-Flop

Single Event Upsets (SEU)

- Παροδικά φαινόμενα λόγω ακτινοβολίας
 - Σε μονάδες μνήμης (SRAM, DRAM)
 - Αλλοίωση της αποθηκευμένης τιμής.
 - Σε ακολουθιακά κυκλώματα (state machines)
 - Τροποποίηση της λειτουργίας ή διακοπή της μέχρι την επόμενη επανεκκίνηση του κυκλώματος (RESET).

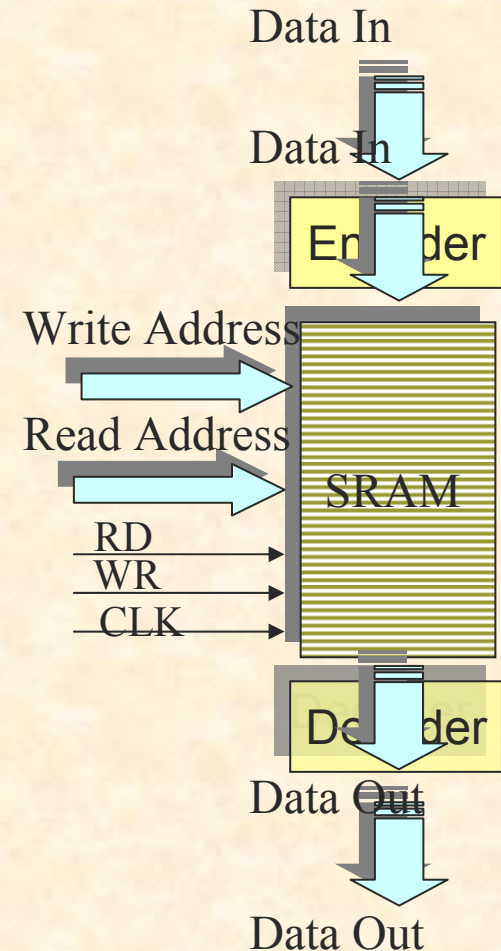


Triplicated State Machine

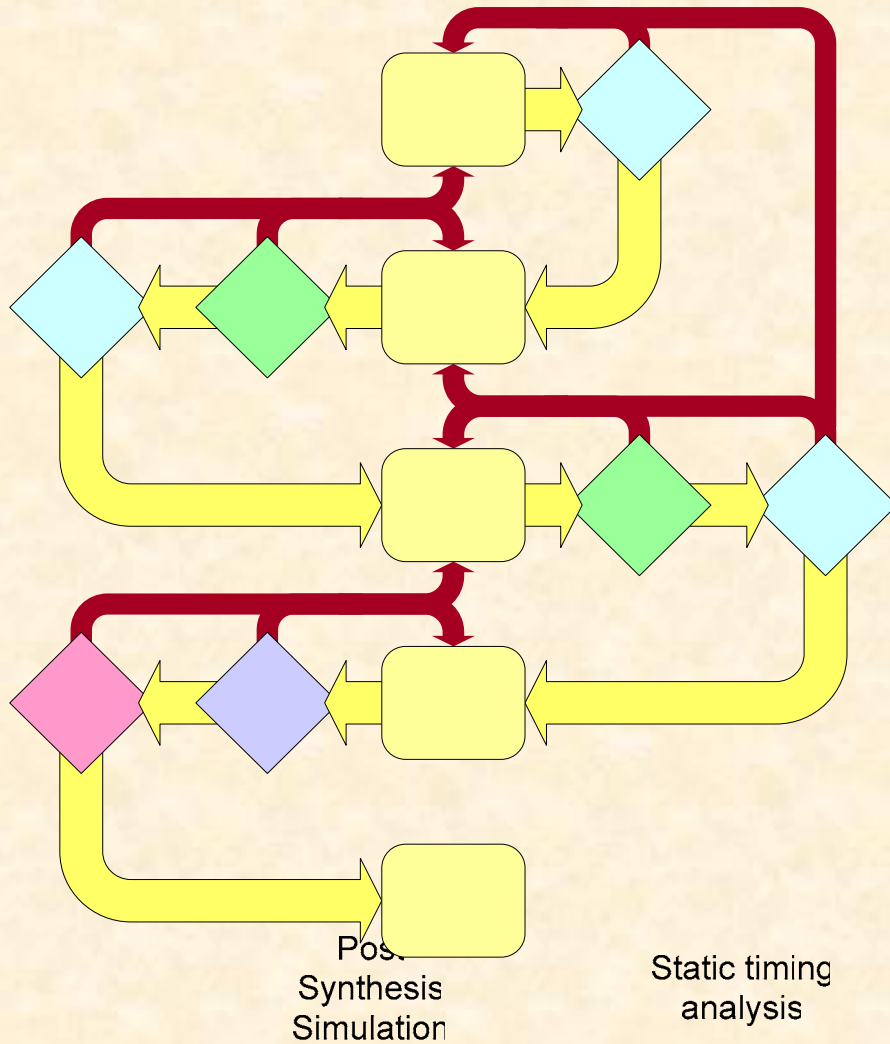


Hamming Encoding

- Τα δεδομένα κατά την διέλευση τους από τα ηλεκτρονικά του ανιχνευτή περνούν τον περισσότερο χρόνο τους στις στατικές μνήμες SRAM.
 - Προστασία των δεδομένων στις μνήμες.
- Χρήση κώδικα Hamming για την προστασία της αποθηκευμένης πληροφορίας στις μνήμες.
 - Δυνατότητα :
 - διόρθωσης ενός σφάλματος σε κάθε αποθηκευμένη λέξη και
 - ανίχνευσης δύο λαθών στην ίδια λέξη.



Kchip Design flow

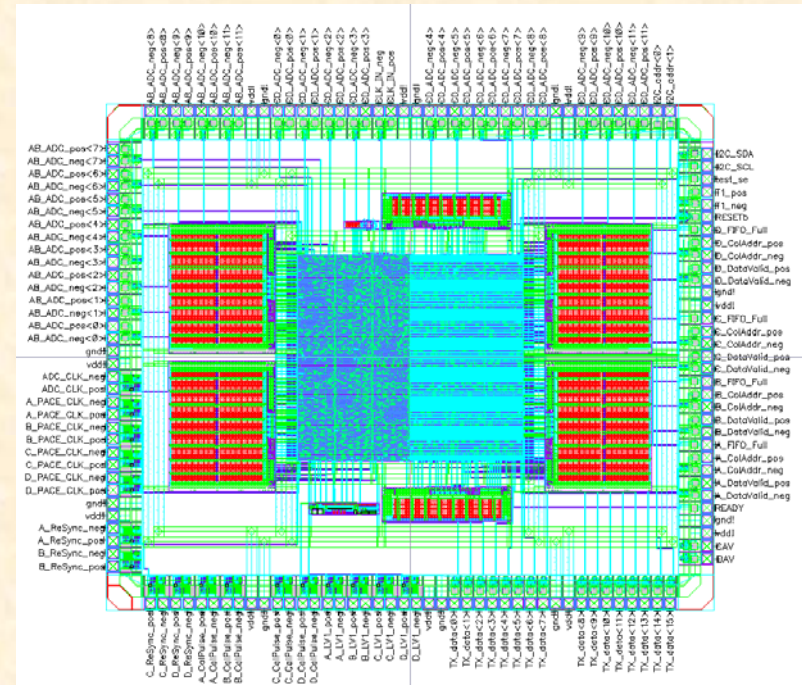


- Design implemented using the CERN DSM Design Kit in 0.25 μ m commercial CMOS technology.
- Hardware Description Language: Verilog
- Automatic synthesis and layout: Synopsys, Silicon Ensemble
- Verilog XL simulation
- Static timing analysis: Pearl
- Design flow is “scripted”.
- Design for Testability
 - Verilog description
 - can be used to access and test the on-chip SRAMs
 - Scan Path
 - For design debugging and production testing.

The Synthesized Chip

- Number of Digital Standard cells
 - Registers: 1,400
 - Gates: 13,300
- Clock tree statistics
 - Number of buffers: 189
 - Number of Levels: 6
 - Max. delay: 685 ns
 - Max. skew: 65 ps
- Special Macro Cells
 - 4x 1024 x 18bit, dual-port SRAM
 - 2x 128 x 27bit, dual-port SRAM
 - DLL
- Number of pad cells
 - I/O pins: 131
 - Power pins: 17
 - Total pins: 148

Size: 6 x 5 mm²
Pad Limited design.



Kchip Layout

1st Prototype

CERN MPW10

Submitted: Feb. 2003

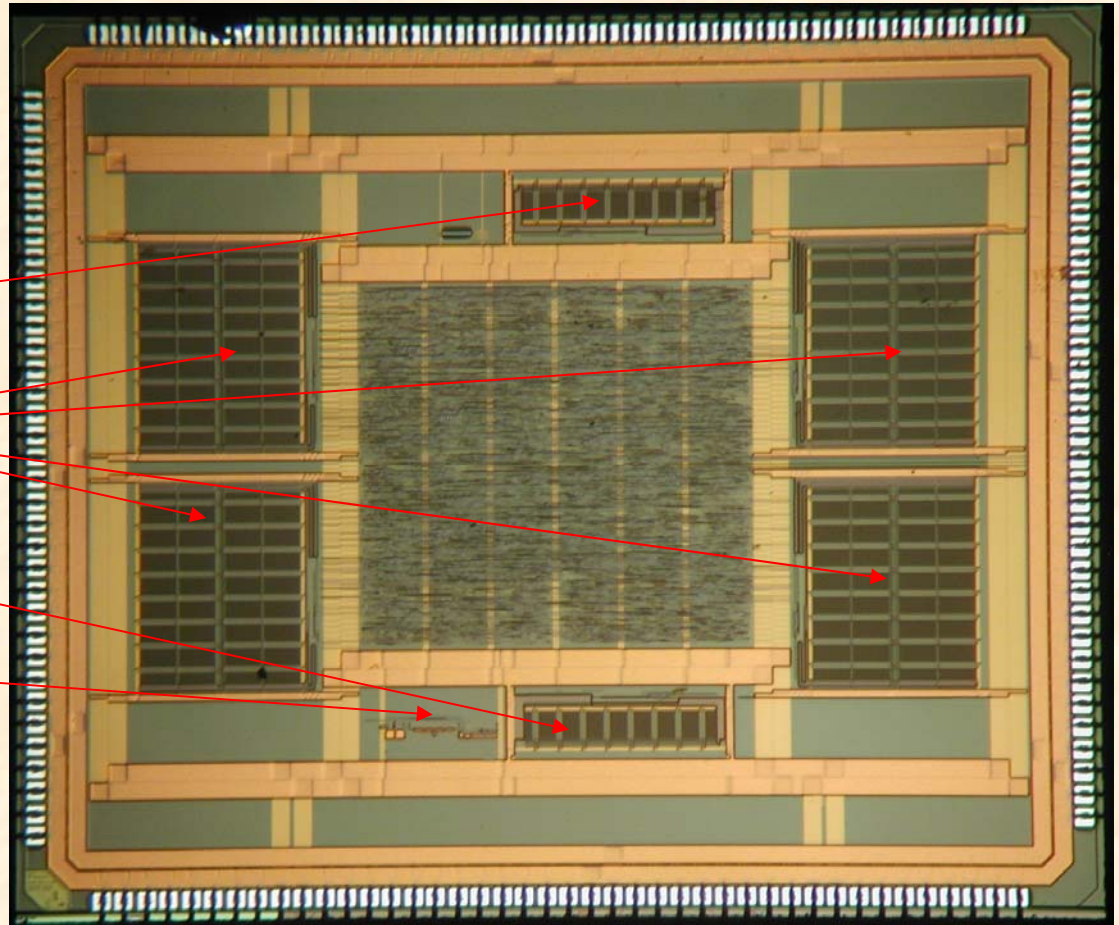
Received: June 2003

Column Addr. FIFO

Data FIFOs

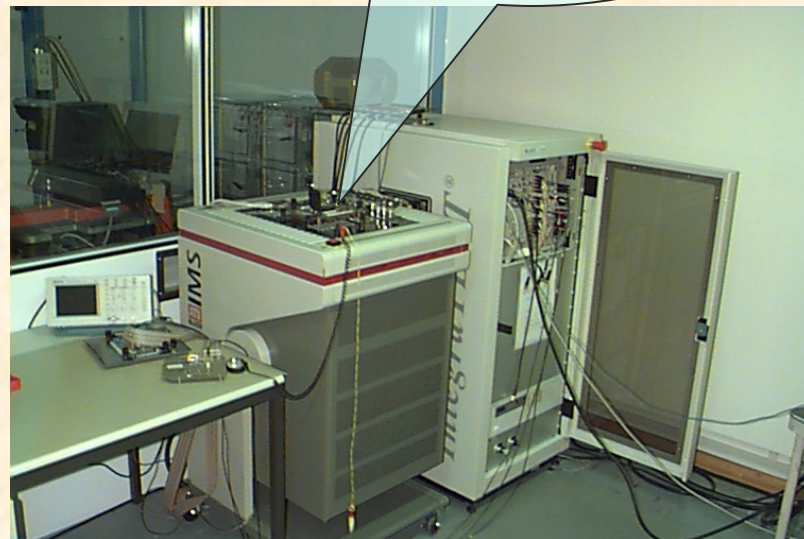
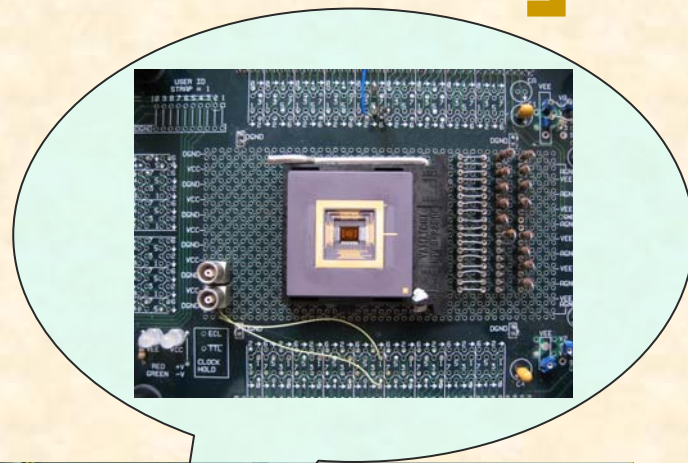
Trigger FIFO

DLL block



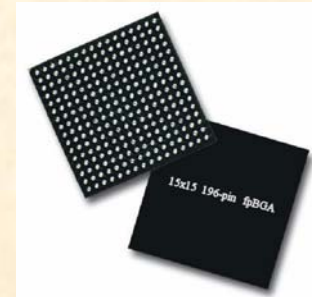
Prototype Tests

- Scope
 - Test functionality & validate specifications conformity.
- Method
 - Make use of a Digital Tester at CERN (MIC group).
 - Use a generic “Test Fixture” board to host the chip.
 - Use a ceramic package (CPGA) to facilitate bonding.
 - “Test Vectors” were generated from Front-End system simulations.



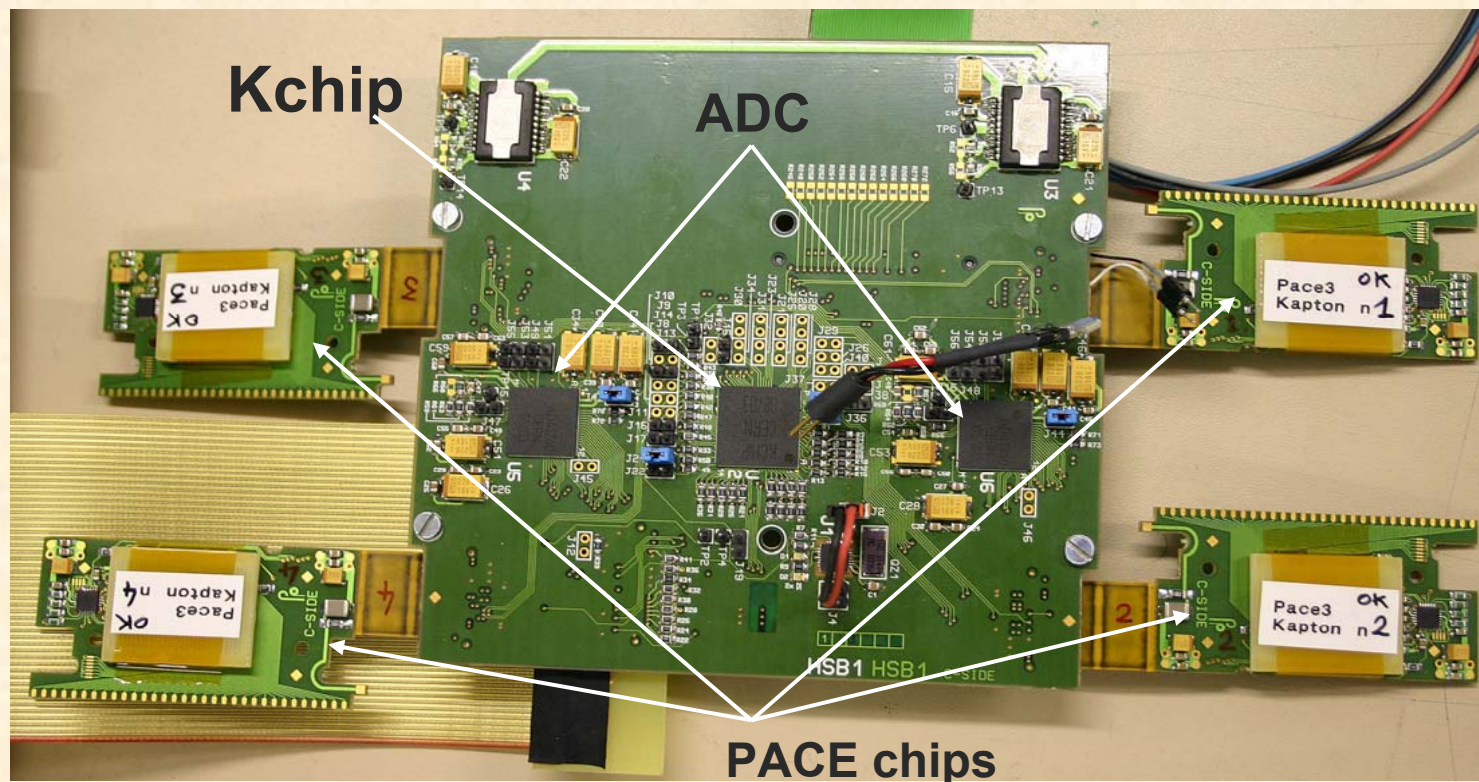
Prototype Test Results

- The functionality of the Kchip has been successfully verified.
 - All modes of operation verified
- Maximum operating frequency: 60MHz
- Power consumption
 - Test Conditions: 40MHz, VDD=2.5V, T=25°C
 - $I_{\text{core}} = 68\text{mA}$, $P_{\text{core}} = 170\text{mW}$
 - $I_{\text{peri}} = 182\text{mA}$, $P_{\text{peri}} = 455\text{mW}$
 - $I_{\text{total}} = 250\text{mA}$, $P_{\text{total}} = 625\text{mW}$
- Irradiation Tests
 - Use of an X-ray machine at CERN.
 - Step Irradiation at 1, 3, 5, 10, 20 MRad (SiO₂).
 - Dose Rate = 2.04 MRad/h
 - Devices were operational up to 20 MRad @ 2.5V, 40MHz.



Prototype System Tests

- Έλεγχος της σωστής λειτουργίας του Kchip στο σύστημα λήψης δεδομένων.

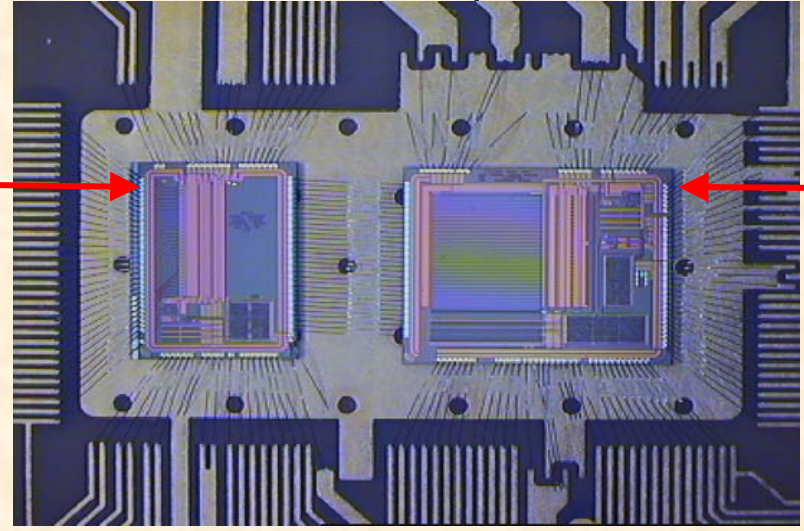


Ηλεκτρονικά Ανιχνευτή

- Large dynamic range – 0.1 – 400 mips;
- Ability to calibrate on single mips – low noise
- 25ns peaking time and analogue pipeline memory of 192 cells, taking 3-samples @ 40MHz / trigger
- Radiation hard to $2 \times 10^{14} \text{ n/cm}^2$ and 10 Mrad
→ development of PACE-3 in $0.25 \mu\text{m}$ CMOS technology

*Ο προενισχυτής
Delta*

32-channel
switchable gain
pre-amp/shaper



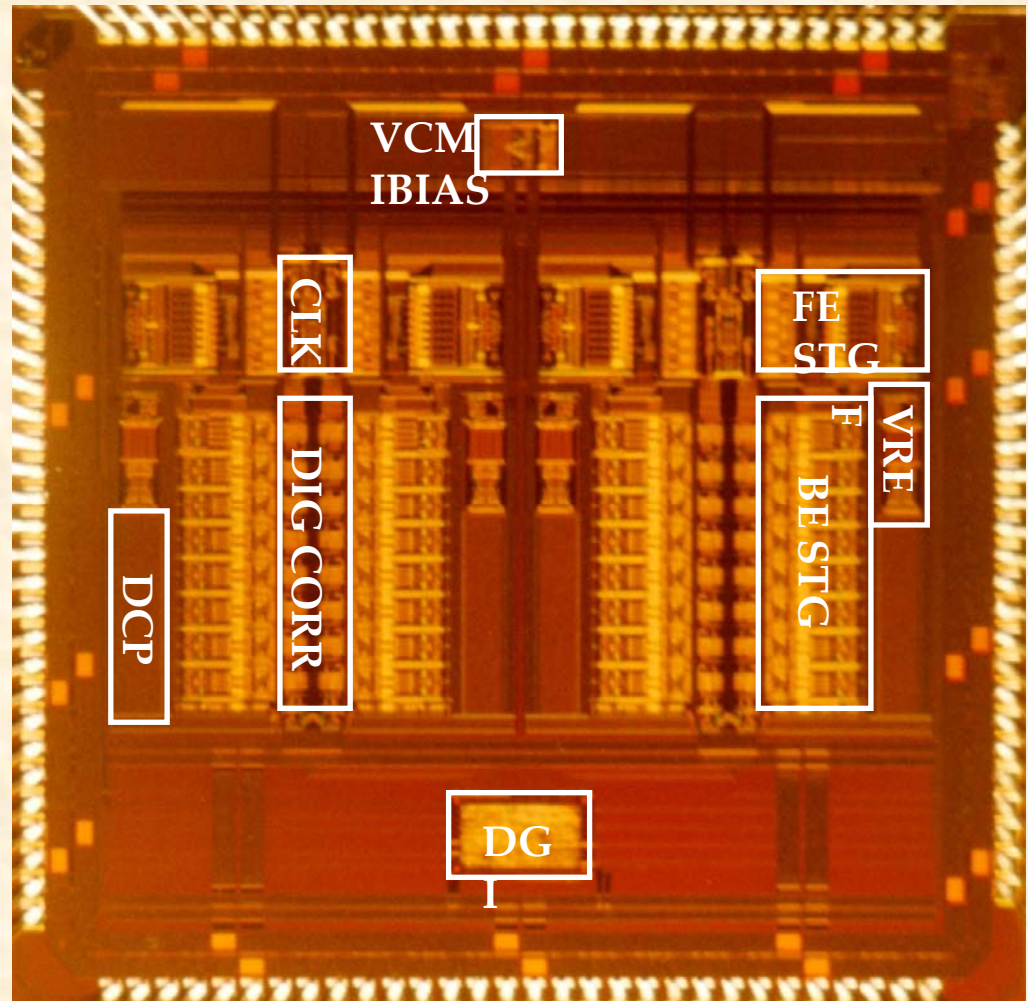
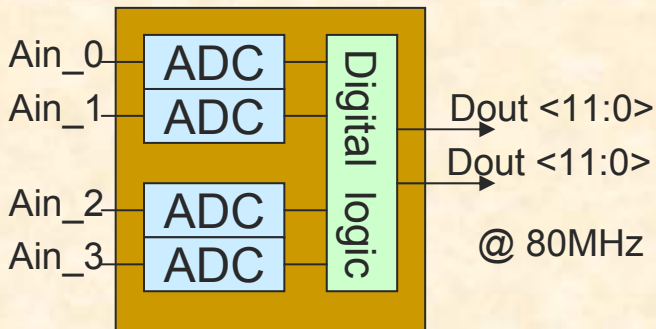
*Η αναλογική μνήμη
PACE*

32-channel
analogue pipeline
and multiplexer
with digital control

PACE-3 is one of the most demanding front-end chips at LHC

Αναλογικός/Ψηφιακός Μετατροπέας

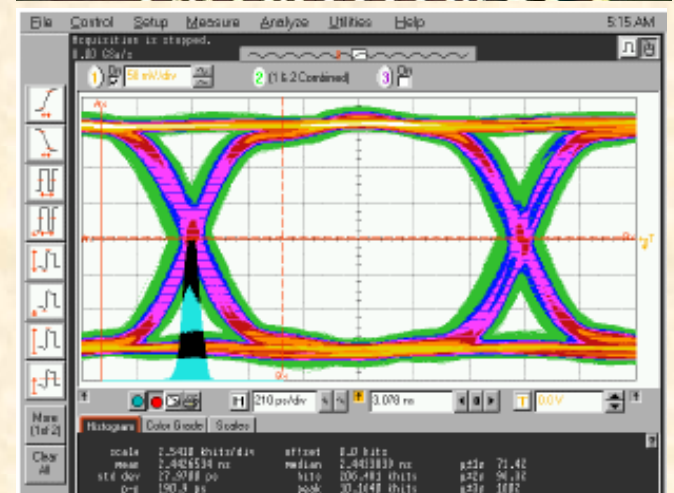
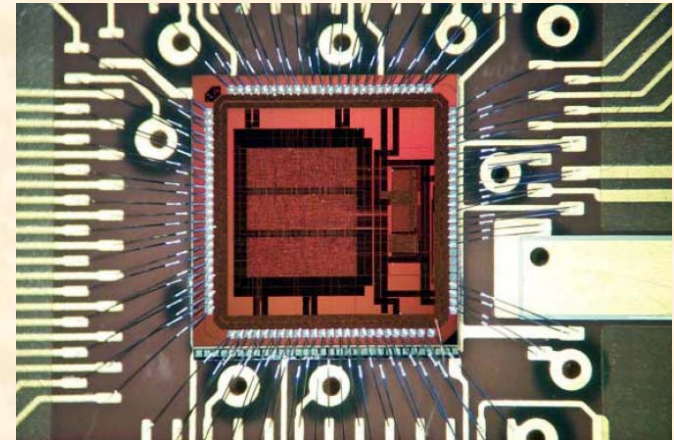
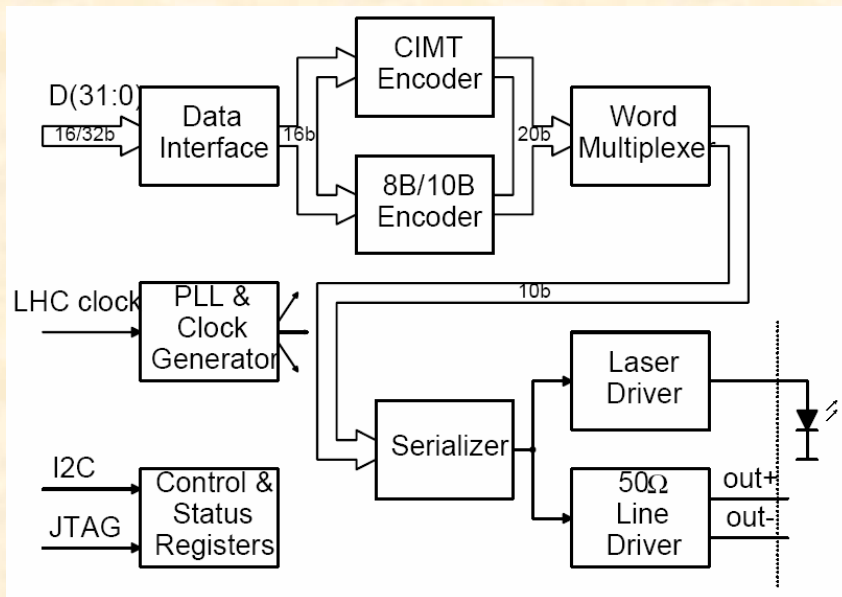
- **ADC Key Features**
 - Quad channel Pipeline ADC
 - Pipeline stages: 6
 - High Resolution: 12bit
 - High Speed: 40MSPS
 - Low power: 412 mW @ 2.5V, 40MHz
 - CMOS 0.25 μm Rad Tol commercial process
 - Area=3.96mm²/2ADC
 - Die size=11.8mm²
 - 144pin fpBGA Package



Microphotograph of the AD41240 chip.

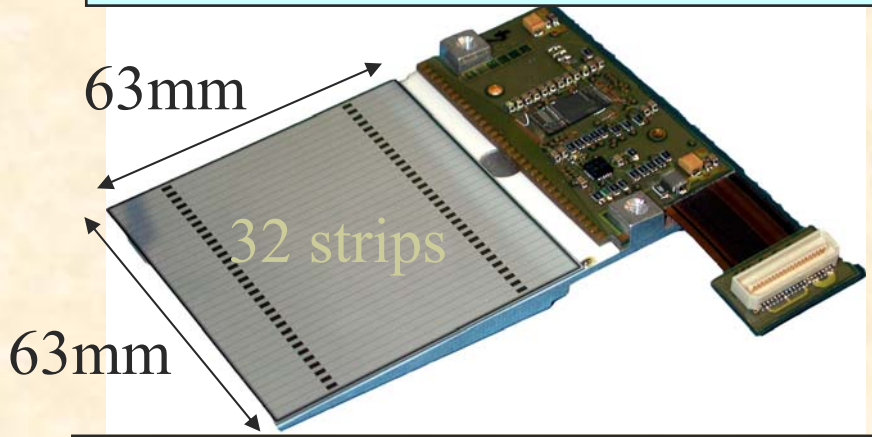
Gigabit Optical Link

- 800Mbps (16bit bus @ 40MHz)
- Gigabit Ethernet compatible (8b/10b) encoding scheme
- Power: 300mW ($I_{laser}=26mA$)
- Radiation Tolerant CMOS 0.25 μ m technology

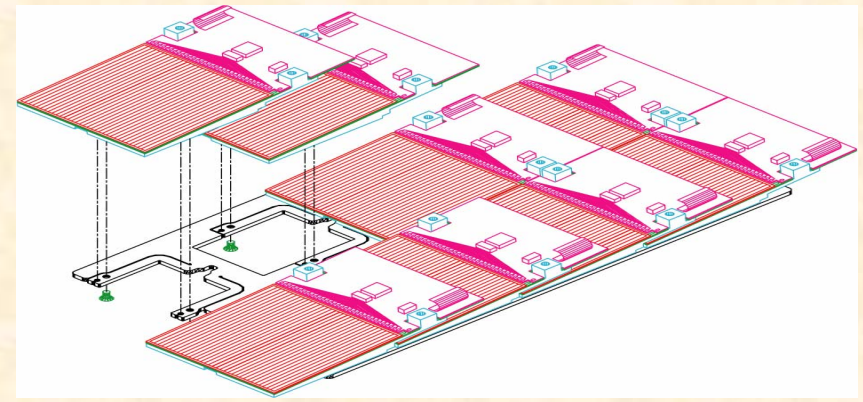


Preshower geometry – μ modules and Ladders

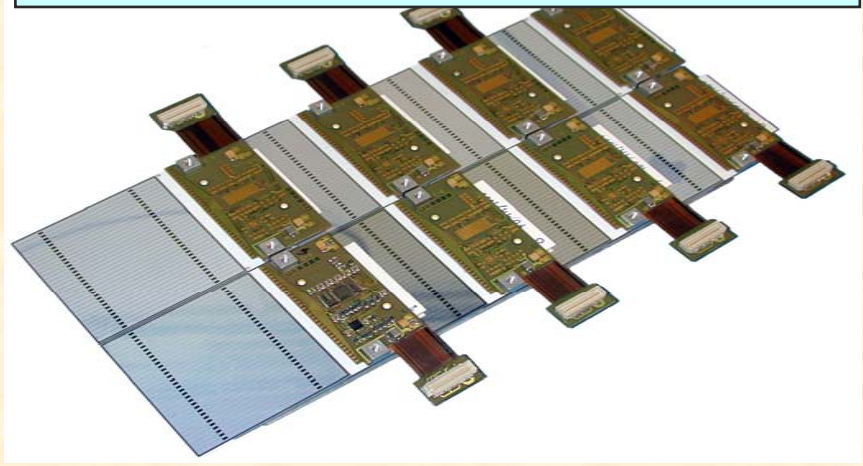
Micromodule



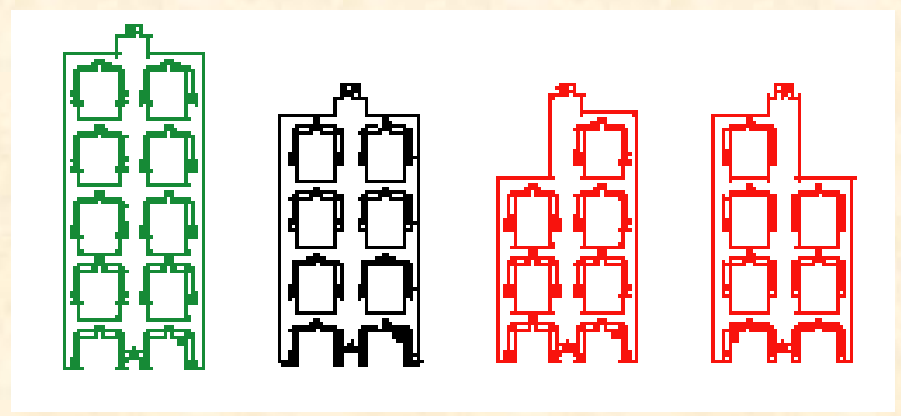
Building a ladder of μ modules



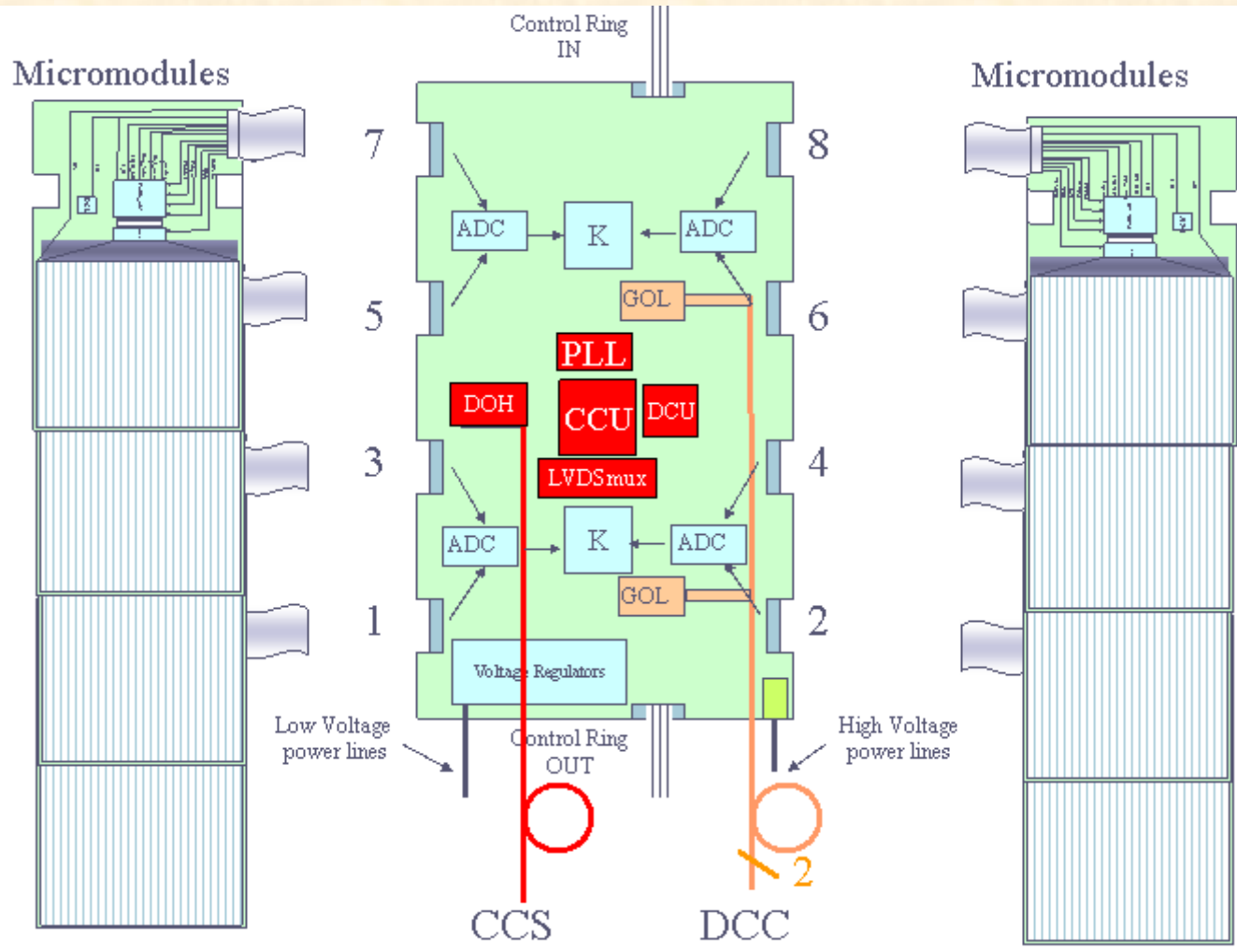
Prototype ladder of 8 μ modules 2003



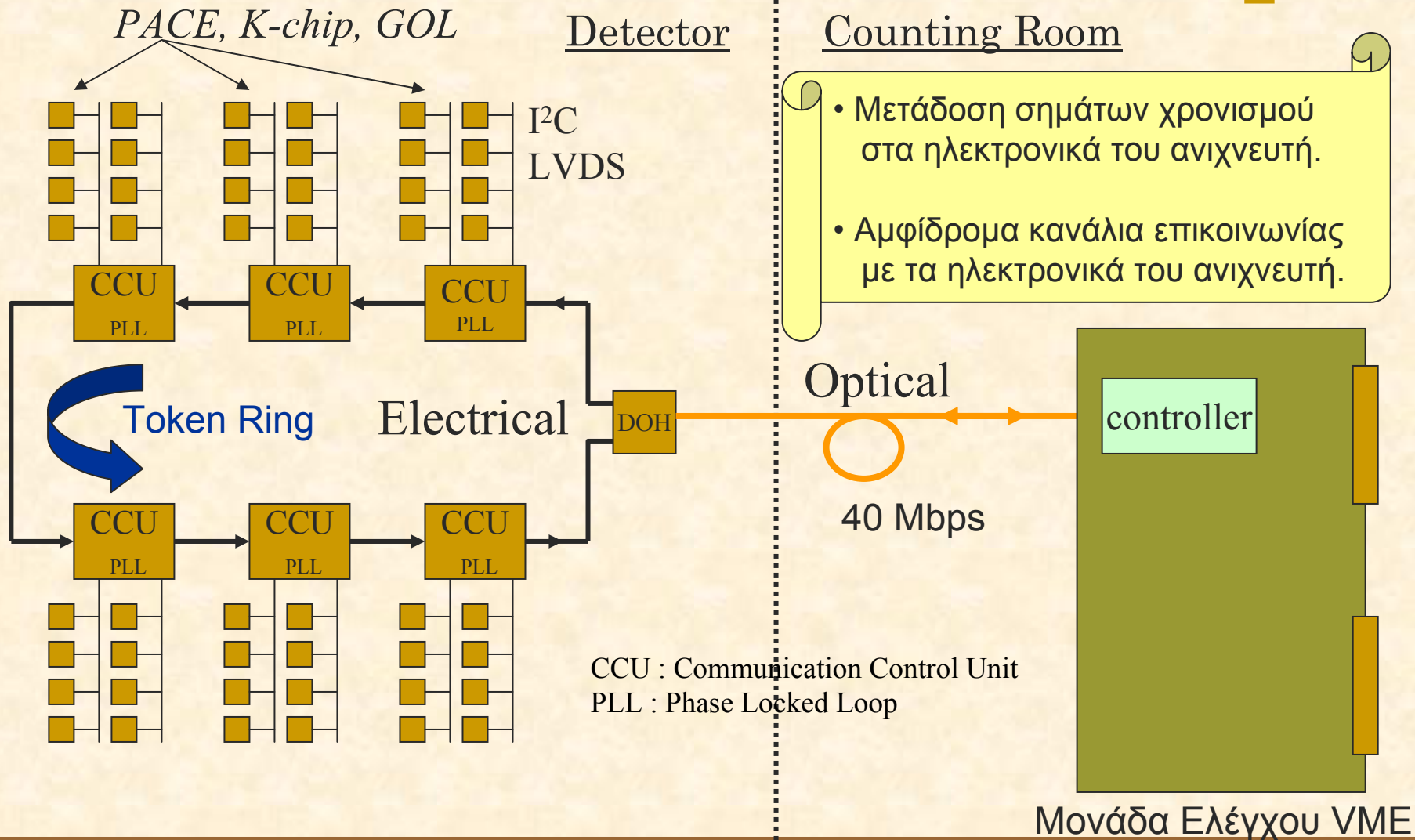
Ladders for 7 and 10 μ modules also exist



The Preshower Motherboard



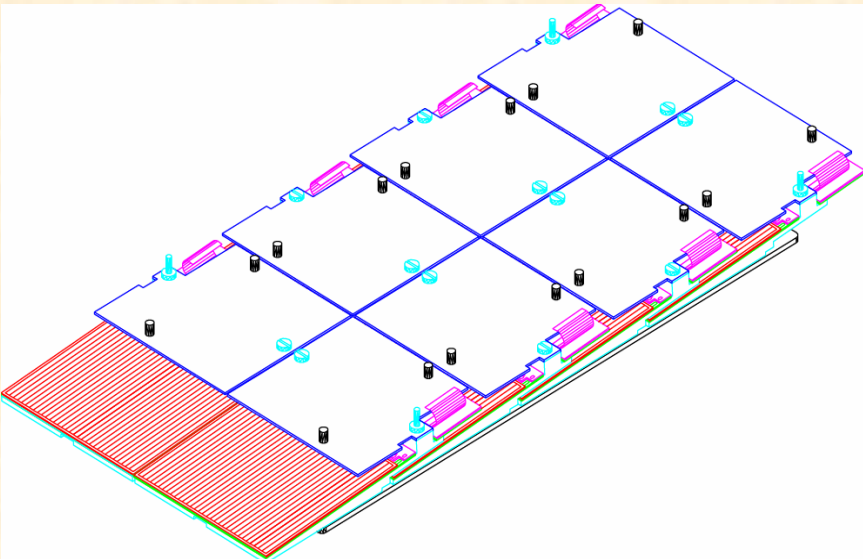
Το Σύστημα Ελέγχου



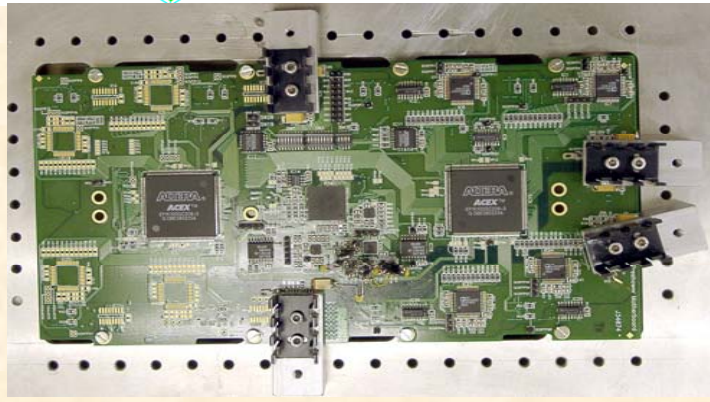
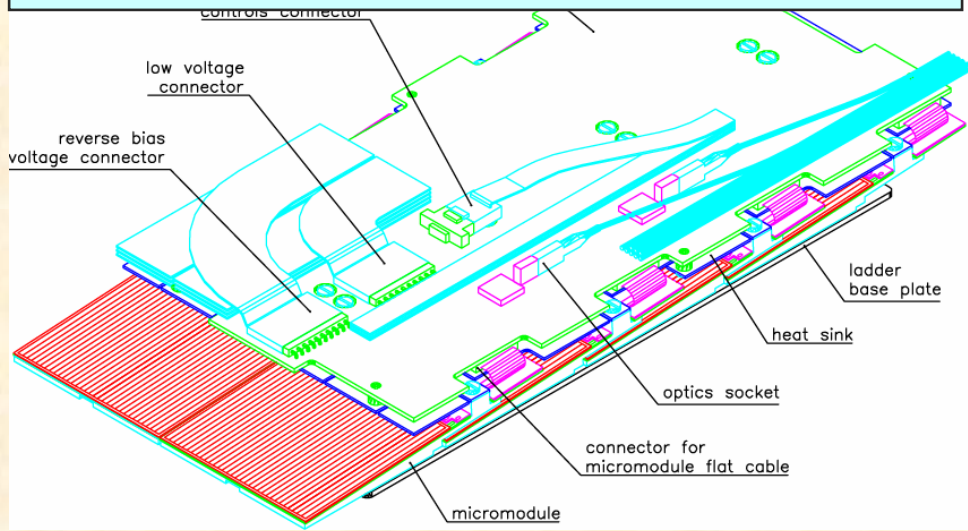
- Μετάδοση σημάτων χρονισμού στα ηλεκτρονικά του ανιχνευτή.
- Αμφίδρομα κανάλια επικοινωνίας με τα ηλεκτρονικά του ανιχνευτή.

Preshower geometry – heatsinks & motherboards

Add aluminium heatsinks

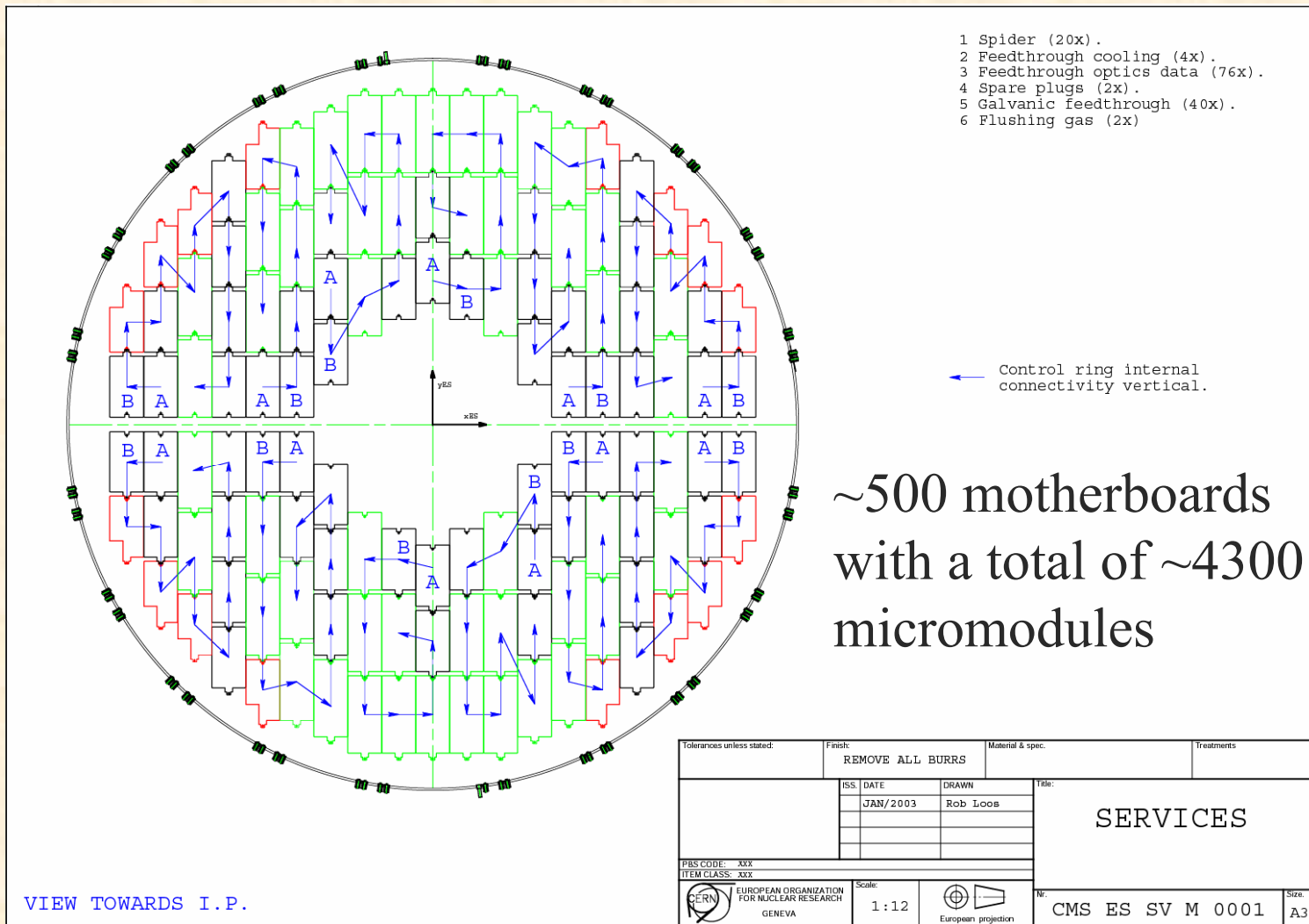


Ladder complete with motherboard and cables etc.



Motherboard

Preshower Geometry



- Η μικροηλεκτρονική είναι τεχνολογία κλειδί για τα σύγχρονα πειράματα Φυσικής Στοιχειωδών Σωματίων.
- Στα μελλοντικά πειράματα προβλέπεται η ύπαρξη ανάγκης μεγαλύτερης ολοκλήρωσης λειτουργιών στα ηλεκτρονικά του ανιχνευτή. (System On Chip)
 - Στενή παρακολούθηση των εξελίξεων στο πεδίο των σύγχρονων τεχνολογιών.
 - Ανάπτυξη μεθόδων προσαρμογής τους στις ειδικές απαιτήσεις των πειραμάτων ΦΥΕ.
 - Περιορισμός κόστους ανάπτυξης πρωτοτύπων.
- Ανθρώπινο δυναμικό μηχανικών με πολλαπλή εξειδίκευση
 - Επίπεδο μικροηλεκτρονικών κυκλωμάτων
 - Επίπεδο συστήματος